

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-143903

(43)Date of publication of application : 25.05.2001

(51)Int.Cl. H01C 7/00

H01C 17/06

(21)Application number : 11-325100 (71)Applicant : MATSUSHITA  
ELECTRIC IND CO  
LTD

(22)Date of filing : 16.11.1999 (72)Inventor : HASHIMOTO  
MASATO  
TSUDA SEIJI

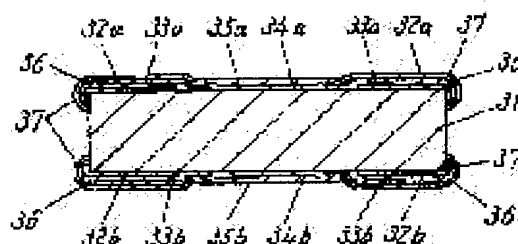
## (54) RESISTOR AND ITS MANUFACTURING METHOD

### (57)Abstract:

PROBLEM TO BE SOLVED: To provide a resistor which can reduce a soldering area in the mounting area in the case of mounting on a substrate, and realize high density mounting in upward mounting and downward mounting in the case of bulk gang mounting.

SOLUTION: A first upper surface electrode layer 32a is formed in the side part of the upper surface of a substrate and a part of the side surface. A first back electrode layer 32b is formed in the side part of the back of the substrate 31 and a part of the side surface. A second upper surface electrode layer 33a, a second back electrode layer 33b, an upper

31 基 板  
32a 第1の上向き電極層  
32b 第1の裏向き電極層  
33a 第2の上向き電極層  
33b 第2の裏向き電極層  
34a 上面抵抗層  
34b 裏面抵抗層  
35a 上面保護層  
35b 裏面保護層  
36 ニッケルめっき層  
37 白金めっき層



surface resistance layer 34a, a back resistance layer 34b, an upper surface protective layer 35a and a back protective layer 35b, are formed on the upper surface side and the back side of the substrate 31.

---

## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's  
decision of rejection]

[Kind of final disposal of application  
other than the examiner's decision of  
rejection or application converted  
registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's  
decision of rejection]

[Date of requesting appeal against  
examiner's decision of rejection]

[Date of extinction of right]

**\* NOTICES \***

JPO and NCIP1 are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

**CLAIMS**

---

[Claim(s)]

[Claim 1] The 1st top-face electrode layer of the pair prepared in the flank of the top face of a substrate and this substrate, and a part of side face, The 2nd top-face electrode layer of the pair prepared so that it might connect with this 1st top-face electrode layer electrically, The top-face resistive layer prepared so that it might connect with this 2nd top-face electrode layer electrically, The top-face protective layer prepared so that the top face of said top-face resistive layer might be covered at least, The 1st rear-face electrode layer of the pair prepared in the flank of the rear face of said substrate, and a part of side face, The resistor equipped with the 2nd rear-face electrode layer of the pair prepared so that it might connect with this 1st rear-face electrode layer electrically, the rear-face resistive layer prepared so that it might connect with this 2nd rear-face electrode layer electrically, and the rear-face protective layer prepared so that the top face of said rear-face resistive layer might be covered at least.

[Claim 2] The resistor according to claim 1 which prepared the 1st rear-face electrode layer located in the side face of a substrate in the rear-face resistive layer side in the height direction of said substrate while preparing the 1st top-face electrode layer located in the side face of a substrate in the top-face resistive layer side in the height direction of said substrate.

[Claim 3] The resistor according to claim 2 which made the sum of the area of the 1st top-face electrode layer located in the side face of a substrate, and the 1st rear-face electrode layer below one half of the area of the side face of a substrate.

[Claim 4] The resistor according to claim 1 which made the height of this plating layer with the wrap higher flat-tapped with a top-face protective layer or a rear-face protective layer than it in the plating layer for the 1st top-face electrode layer, the 2nd top-face electrode layer, the 1st rear-face electrode layer, and the 2nd rear-face electrode layer.

[Claim 5] The resistor according to claim 1 which calcinated the organometallic compound of a golden system, and formed the 1st top-face electrode layer and the 1st rear-face electrode layer, or was formed by the spatter of a golden system.

[Claim 6] The resistor according to claim 1 which comes to contain glass in the electric conduction fine particles of a silver system or a golden system, and formed the 2nd top-face electrode layer and the 2nd rear-face electrode layer in them.

[Claim 7] The resistor according to claim 1 which formed the top-face protective layer and the rear-face protective layer by either the resin system or textile glass yarn.

[Claim 8] The resistor according to claim 1 which formed the 1st top-face electrode layer and the 1st rear-face electrode layer by the spatter of a nickel system.

[Claim 9] The resistor according to claim 1 which is the thing of a resin system and formed the 2nd top-face electrode layer, the 2nd rear-face electrode layer, the top-face resistive layer, the rear-face resistive layer, the top-face protective layer, and the rear-face protective layer.

[Claim 10] The resistor according to claim 1 which changed the color tone of a top-face protective layer and a rear-face protective layer.

[Claim 11] The process which slushes electrode paste into said top-face part groove and a sheet-like substrate, and prepares the 1st top-face electrode layer so that the top-face part groove of the sheet-like substrate which has a top-face part groove and a flesh-side region groove may be straddled, The process which slushes electrode paste into said flesh-side region groove and a sheet-like substrate, and prepares the 1st rear-face electrode layer so that the flesh-side region groove of said sheet-like substrate may be straddled, The process which prepares the 2nd top-face electrode layer so that it may connect with said 1st top-face electrode layer electrically, The process which prepares the 2nd rear-face electrode layer so that it may connect with said 1st rear-face electrode layer electrically, The process which prepares a top-face resistive layer so that between said 2nd top-face electrode layer may be connected electrically, The process which prepares a rear-face resistive layer so that between said 2nd rear-face electrode layer may be connected electrically, The process which prepares a top-face protective layer so that the front face of said top-face resistive layer may be covered at least, The manufacture approach of the resistor equipped with the process which prepares a rear-face protective layer so that the front face of said rear-face resistive layer may be covered at least, the process which divides said sheet-like substrate into a strip-of-paper-like substrate in the top-face part groove and flesh-side region groove of said sheet-like substrate, and the process which divides said strip-of-paper-like

substrate into the piece of an individual.

[Claim 12] The process which prepares the 1st top-face electrode layer in said top-face part groove and a sheet-like substrate by the spatter so that the top-face part groove of the sheet-like substrate which has a top-face part groove and a flesh-side region groove may be straddled, The process which prepares the 1st rear-face electrode layer in said flesh-side region groove and a sheet-like substrate by the spatter so that the flesh-side region groove of said sheet-like substrate may be straddled, The process which prepares the 2nd top-face electrode layer so that it may connect with said 1st top-face electrode layer electrically, The process which prepares the 2nd rear-face electrode layer so that it may connect with said 1st rear-face electrode layer electrically, The process which prepares a top-face resistive layer so that between said 2nd top-face electrode layer may be connected electrically, The process which prepares a rear-face resistive layer so that between said 2nd rear-face electrode layer may be connected electrically, The process which prepares a top-face protective layer so that the front face of said top-face resistive layer may be covered at least, The manufacture approach of the resistor equipped with the process which prepares a rear-face protective layer so that the front face of said rear-face resistive layer may be covered at least, the process which divides said sheet-like substrate into a strip-of-paper-like substrate in the top-face part groove and flesh-side region groove of said sheet-like substrate, and the process which divides said strip-of-paper-like substrate into the piece of an individual.

---

[Translation done.]

\* NOTICES \*

JPO and NCIP are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

## DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the resistor used for various electronic equipment, and its manufacture approach.

[0002]

[Description of the Prior Art] In order to raise packaging density with the miniaturization of electronic equipment in recent years also to the electronic parts used for the circuit board, the demand to a miniaturization is increasing increasingly. In order to contraction-ize the component-side product on a mounting substrate also to a resistor, the demand to a small resistor has been increasing.

[0003] What was indicated by JP,4-102302,A is known as this conventional kind of a resistor.

[0004] Hereafter, a conventional resistor and its conventional manufacture approach are explained, referring to a drawing.

[0005] Drawing 8 is what showed the sectional view of the conventional resistor, and 1 is an insulating substrate in this drawing 8. 2 is the 1st top-face electrode layer of the pair prepared in the right-and-left both ends of the top face of an insulating substrate 1. 3 is the resistive layer prepared so that a part might lap with the 1st top-face electrode layer 2 of a pair. 4 is the 1st protective layer prepared so that the whole resistive layer 3 might be covered. 5 is the trimming slot established in a resistive layer 3 and the 1st protective layer 4, in order to correct resistance. 6 is the 2nd protective layer prepared in the top face of the 1st protective layer 4. 7 -- the top face of the 1st top-face electrode layer 2 of a pair -- until [ of an insulating substrate 1 ] width-of-face full -- it is the 2nd top-face electrode layer of the pair prepared so that it might extend. 8 is the side-face electrode layer of the pair prepared in the both-sides side of an insulating substrate 1. 9 and 10 are the nickel-plating layers and solder plating layers which were prepared

in the front face of the 2nd top-face electrode layer 7 of a pair, and the side-face electrode layer 8 of a pair.

[0006] About the conventional resistor constituted as mentioned above, the manufacture approach is explained below, referring to a drawing.

[0007] Drawing 9 (a) – (f) is process drawing showing the manufacture approach of the conventional resistor.

[0008] First, as shown in drawing 9 (a), printing formation of the 1st top-face electrode layer 2 of a pair is carried out to the right-and-left both ends of the top face of an insulating substrate 1.

[0009] Next, as shown in drawing 9 (b), printing formation of the resistive layer 3 is carried out on the top face of an insulating substrate 1 so that a part may lap with the 1st top-face electrode layer 2 of a pair.

[0010] Next, after carrying out printing formation of the 1st protective layer 4 so that the whole resistive layer 3 may be covered as shown in drawing 9 (c), the trimming slot 5 is given with laser etc. to a resistive layer 3 and the 1st protective layer 4 so that the total resistance in a resistive layer 3 may enter within the limits of predetermined resistance.

[0011] Next, as shown in drawing 9 (d), printing formation of the 2nd protective layer 6 is carried out on the top face of the 1st protective layer 4.

[0012] next, as shown in drawing 9 (e), printing formation of the 2nd top-face electrode layer 7 of a pair is carried out so that an insulating substrate 1 may be prolonged until width-of-face full on the top face of the 1st top-face electrode layer 2 of a pair.

[0013] Next, as shown in drawing 9 (f), application formation of the side-face electrode layer 8 of a pair is carried out so that it may connect with the 1st [ of a pair ], and 2nd top-face electrode layer 2 and 7 electrically on the side face of the right-and-left both ends of the 1st top-face electrode layer 2 of a pair, and an insulating substrate 1.

[0014] Finally, after performing nickel plating to the front face of the 2nd top-face electrode layer 7 of a pair, and the side-face electrode layer 8 of a pair, by performing solder plating, the nickel-plating layer 9 and the solder plating layer 10 were formed, and the conventional resistor was manufactured.

[0015]

[Problem(s) to be Solved by the Invention] however, by the resistor by the configuration and the manufacture approach of the above-mentioned former Since it is the fillet mounting structure where it is soldered on the both sides of a side-face electrode layer (not shown) and an inferior-surface-of-tongue electrode layer (not shown), and a fillet 21 is formed as shown in the sectional view of the mounting condition of drawing 10 (a) when it solders to a mounting substrate, As shown in the plan of the mounting condition of drawing 10 (b), the area 23 which solders a side face in addition to the

components area 22 is required, consequently the component-side product 24 which doubled these is needed. And since the rate that the soldering area to a component-side product occupies became larger as a components dimension is made small, in order to raise packaging density, it had the technical problem that a limitation was generated to raise packaging density for the miniaturization of electronic equipment. Moreover, the requests of the high density assembly by the bulk package mounting method are mounting in recent years, and even when mounted in which of the top-face sense or the rear-face sense, it is necessary to realize high packaging density.

[0016] This invention solves the above-mentioned conventional technical problem, and the soldering area occupied to the component-side product at the time of mounting in a mounting substrate can be reduced, and even when it is further mounted in which of the top-face sense or the rear-face sense at the time of bulk package mounting, it aims at offering the resistor which can realize high density assembly.

[0017]

[Means for Solving the Problem] In order to attain the above-mentioned purpose the resistor of this invention The 1st top-face electrode layer of the pair prepared in the flank of the top face of a substrate and this substrate, and a part of side face, The 2nd top-face electrode layer of the pair prepared so that it might connect with this 1st top-face electrode layer electrically, The top-face resistive layer prepared so that it might connect with this 2nd top-face electrode layer electrically, The top-face protective layer prepared so that the top face of said top-face resistive layer might be covered at least, The 1st rear-face electrode layer of the pair prepared in the flank of the rear face of said substrate, and a part of side face, The 2nd rear-face electrode layer of the pair prepared so that it might connect with this 1st rear-face electrode layer electrically, It is the thing equipped with the rear-face resistive layer prepared so that it might connect with this 2nd rear-face electrode layer electrically, and the rear-face protective layer prepared so that the top face of said rear-face resistive layer might be covered at least. According to this configuration, the soldering area occupied to the component-side product at the time of mounting in a mounting substrate can be reduced, and even when it is further mounted in which of the top-face sense or the rear-face sense at the time of bulk package mounting, the resistor which can realize high density assembly can be offered.

[0018]

[Embodiment of the Invention] The 1st top-face electrode layer of the pair by which invention of this invention according to claim 1 was prepared in the flank of the top face of a substrate and this substrate, and a part of side face, The 2nd top-face electrode layer of the pair prepared so that it might



connect with this 1st top-face electrode layer electrically, The top-face resistive layer prepared so that it might connect with this 2nd top-face electrode layer electrically, The top-face protective layer prepared so that the top face of said top-face resistive layer might be covered at least, The 1st rear-face electrode layer of the pair prepared in the flank of the rear face of said substrate, and a part of side face, The 2nd rear-face electrode layer of the pair prepared so that it might connect with this 1st rear-face electrode layer electrically, It is the thing equipped with the rear-face resistive layer prepared so that it might connect with this 2nd rear-face electrode layer electrically, and the rear-face protective layer prepared so that the top face of said rear-face resistive layer might be covered at least. Since according to this configuration it is considering as the structure whose formation of a solder fillet decreases extremely when mounted in a mounting substrate, Since the soldering area occupied to a component-side product could be reduced and the electrode layer, the resistive layer, and the protective layer are moreover prepared in the top face and rear face of a substrate, respectively, Even when mounted in which of the top-face sense or the rear-face sense at the time of bulk package mounting, it has an operation that high density assembly is realizable.

[0019] While invention according to claim 2 prepares the 1st top-face electrode layer located in the side face of a substrate according to claim 1 in the top-face resistive layer side in the height direction of said substrate It is what prepared the 1st rear-face electrode layer located in the side face of a substrate in the rear-face resistive layer side in the height direction of said substrate. Since according to this configuration formation of a solder fillet serves as structure which decreases extremely when mounted in a mounting substrate, Since the soldering area occupied to a component-side product could be reduced and the electrode layer, the resistive layer, and the protective layer are moreover prepared in the top face and rear face of a substrate, respectively, Even when mounted in which of the top-face sense or the rear-face sense at the time of bulk package mounting, it has an operation that high density assembly is realizable.

[0020] Invention according to claim 3 is what made the sum of the area of the 1st top-face electrode layer located in the side face of a substrate according to claim 2, and the 1st rear-face electrode layer below one half of the area of the side face of a substrate. Since according to this configuration formation of a solder fillet serves as structure which decreases extremely when mounted in a mounting substrate, Since the soldering area occupied to a component-side product could be reduced and the electrode layer, the resistive layer, and the protective layer are moreover prepared in the top face and rear face of a substrate, respectively, Even when mounted in which of the top-face sense or the rear-face sense at the time of bulk package

mounting, it has an operation that high density assembly is realizable.

[0021] Invention according to claim 4 the 1st top-face electrode layer according to claim 1, the 2nd top-face electrode layer, the 1st rear-face electrode layer, and the 2nd rear-face electrode layer in a plating layer with a wrap. It is what made the height of this plating layer higher than that of a top-face protective layer or a rear-face protective layer. Since it is hard coming to generate the clearance between a plating layer and the land pattern on a mounting substrate when mounted in a mounting substrate according to this configuration, it has an operation that the connection dependability of a top-face electrode layer or a rear-face electrode layer, and the land pattern on a mounting substrate improves.

[0022] Invention according to claim 5 is what calcinated the organometallic compound of a golden system, and formed the 1st top-face electrode layer according to claim 1 and the 1st rear-face electrode layer, or was formed by the spatter of a golden system. When according to this configuration forming the 1st top-face electrode layer and the 1st rear-face electrode layer so that the division slot of a sheet-like substrate may be straddled, it has an operation that the 1st top-face electrode layer and the 1st rear-face electrode layer can be certainly formed in division Mizouchi of said sheet-like substrate.

[0023] Invention according to claim 6 is what comes to contain glass in the electric conduction fine particles of a silver system or a golden system, and formed the 2nd top-face electrode layer according to claim 1 and the 2nd rear-face electrode layer in them, and according to this configuration, it has an operation that the 2nd top-face electrode layer and the 2nd rear-face electrode layer can be formed with a cheap ingredient.

[0024] Invention according to claim 7 is what formed the top-face protective layer according to claim 1 and the rear-face protective layer by either the resin system or textile glass yarn, and according to this configuration, it has an operation that the resistor which has the stable resistive characteristic can be offered.

[0025] Invention according to claim 8 is what formed the 1st top-face electrode layer according to claim 1 and the 1st rear-face electrode layer by the spatter of a nickel system. When according to this configuration forming the 1st top-face electrode layer and the 1st rear-face electrode layer so that the division slot of a sheet-like substrate may be straddled, while being able to form certainly the 1st top-face electrode layer and the 1st rear-face electrode layer in division Mizouchi of said sheet-like substrate. It has an operation that a thing cheap also in cost is obtained.

[0026] Invention according to claim 9 is what is a thing of a resin system and formed the 2nd top-face electrode layer according to claim 1, the 2nd rear-face electrode layer, the top-face resistive layer, the rear-face

resistive layer, the top-face protective layer, and the rear-face protective layer, and according to this configuration, its change in resistance after resistance correction decreases very much, and it has an operation that the small resistor of resistance dispersion is obtained by this.

[0027] Invention according to claim 10 changed the color tone of a top-face protective layer and a rear-face protective layer, and according to this configuration, it has an operation that the front flesh side of a substrate can be judged in a production process.

[0028] The process which invention according to claim 11 slushes electrode paste into said top-face part groove and a sheet-like substrate so that the top-face part groove of the sheet-like substrate which has a top-face part groove and a flesh-side region groove may be straddled, and prepares the 1st top-face electrode layer, The process which slushes electrode paste into said flesh-side region groove and a sheet-like substrate, and prepares the 1st rear-face electrode layer so that the flesh-side region groove of said sheet-like substrate may be straddled, The process which prepares the 2nd top-face electrode layer so that it may connect with said 1st top-face electrode layer electrically, The process which prepares the 2nd rear-face electrode layer so that it may connect with said 1st rear-face electrode layer electrically, The process which prepares a top-face resistive layer so that between said 2nd top-face electrode layer may be connected electrically, The process which prepares a rear-face resistive layer so that between said 2nd rear-face electrode layer may be connected electrically, The process which prepares a top-face protective layer so that the front face of said top-face resistive layer may be covered at least, The process which prepares a rear-face protective layer so that the front face of said rear-face resistive layer may be covered at least, It is the thing equipped with the process which divides said sheet-like substrate into a strip-of-paper-like substrate in the top-face part groove and flesh-side region groove of said sheet-like substrate, and the process which divides said strip-of-paper-like substrate into the piece of an individual. Since according to this manufacture approach the thing of the structure whose formation of a solder fillet decreases extremely is obtained when mounted in a mounting substrate, Since the soldering area occupied to a component-side product can be reduced and the electrode layer, the resistive layer, and the protective layer are moreover formed in the top face and rear face of a sheet-like substrate, respectively, Even when mounted in which of the top-face sense or the rear-face sense at the time of bulk package mounting, it has an operation that the resistor which can realize high density assembly can be manufactured.

[0029] The process which prepares the 1st top-face electrode layer in said top-face part groove and a sheet-like substrate by the spatter so that

invention according to claim 12 may straddle the top-face part groove of the sheet-like substrate which has a top-face part groove and a flesh-side region groove, The process which prepares the 1st rear-face electrode layer in said flesh-side region groove and a sheet-like substrate by the spatter so that the flesh-side region groove of said sheet-like substrate may be straddled, The process which prepares the 2nd top-face electrode layer so that it may connect with said 1st top-face electrode layer electrically, The process which prepares the 2nd rear-face electrode layer so that it may connect with said 1st rear-face electrode layer electrically, The process which prepares a top-face resistive layer so that between said 2nd top-face electrode layer may be connected electrically, The process which prepares a rear-face resistive layer so that between said 2nd rear-face electrode layer may be connected electrically, The process which prepares a top-face protective layer so that the front face of said top-face resistive layer may be covered at least, The process which prepares a rear-face protective layer so that the front face of said rear-face resistive layer may be covered at least, It is the thing equipped with the process which divides said sheet-like substrate into a strip-of-paper-like substrate in the top-face part groove and flesh-side region groove of said sheet-like substrate, and the process which divides said strip-of-paper-like substrate into the piece of an individual. Since according to this manufacture approach the thing of the structure whose formation of a solder fillet decreases extremely is obtained when mounted in a mounting substrate, Since the soldering area occupied to a component-side product can be reduced and the electrode layer, the resistive layer, and the protective layer are moreover formed in the top face and rear face of a sheet-like substrate, respectively, Even when mounted in which of the top-face sense or the rear-face sense at the time of bulk package mounting, it has an operation that the resistor which can realize high density assembly can be manufactured.

[0030] (Gestalt 1 of operation) The resistor in a gestalt 1 and its manufacture approach of operation of this invention are explained hereafter, referring to a drawing.

[0031] Drawing 1 is what showed the sectional view of the resistor in the gestalt 1 of operation of this invention, and 31 is a substrate which comes to contain an alumina 96% in this drawing 1. 32a is the 1st top-face electrode layer of the pair which comes to calcinate the organometallic compound of the golden system prepared in the flank of the top face of a substrate 31, and a part of side face, and the ridgeline of this 1st top-face electrode layer 32a has the radius of circle. Moreover, the area of 1st top-face electrode layer 32a on the side face of said substrate 31 is 1/4 or less [ of the area of the side face of a substrate 31 ]. 33a is the 2nd top-face electrode layer of the pair which comes to contain glass in the electric conduction fine

particles of the silver system prepared so that it might connect with 1st top-face electrode layer 32a of said pair electrically. 34a is a top-face resistive layer which uses as a principal component the ruthenium oxide prepared so that it might connect with 2nd top-face electrode layer 33a of a pair electrically. 35a is a black top-face protective layer which uses as a principal component the glass formed so that the top face of said top-face resistive layer 34a might be covered at least. 32b is the 1st rear-face electrode layer of the pair which comes to calcinate the organometallic compound of the golden system prepared in the flank of the rear face of a substrate 31, and a part of side face, and the ridgeline of this 1st rear-face electrode layer 32b has the radius of circle. Moreover, the area of 1st rear-face electrode layer 32b on the side face of said substrate 31 is  $1/5$  or less [ of the area of the side face of a substrate 31 ]. 33b is the 2nd rear-face electrode layer of the pair which comes to contain glass in the electric conduction fine particles of the silver system prepared so that it might connect with 1st rear-face electrode layer 32b of said pair electrically. 34b is a rear-face resistive layer which uses as a principal component the ruthenium oxide prepared so that it might connect with 2nd rear-face electrode layer 33b of a pair electrically. 35b is the rear-face protective layer of the gray which uses as a principal component the glass formed so that the top face of said rear-face resistive layer 34b might be covered at least. 36 and 37 are the nickel-plating layers and solder plating layers which were prepared so that 1st top-face electrode layer 32a, 2nd top-face electrode layer 33a, 1st rear-face electrode layer 32b, and 2nd rear-face electrode layer 33b might be covered, in order to secure the dependability at the time of soldering etc. if needed.

[0032] About the resistor in the gestalt 1 of operation of this invention constituted as mentioned above, the manufacture approach is explained below, referring to a drawing.

[0033] Drawing 2 (a) – (c) and drawing 3 (a) – (d) is process drawing showing the manufacture approach of the resistor in the gestalt 1 of operation of this invention.

[0034] First, top-face part groove 38a and flesh-side region groove 38b of two or more lengthwise directions prepared in order to divide into a front face at a back process the shape of a strip of paper, and in the shape of a piece of an individual, as shown in drawing 2 (a), So that top-face part groove 39a of the longitudinal direction of sheet-like substrate 31a which comes to contain an alumina 96% excellent in the thermal resistance and the insulation which have lateral top-face part groove 39a and flesh-side region groove 39b may be straddled By slushing and printing the electrode paste which comes to contain the organometallic compound of a golden system to lateral top-face part groove 39a and sheet-like substrate 31a, 1st top-face

electrode layer 32a is formed. Since the electrode paste which comes to contain the organometallic compound of said golden system at this time enters into lateral top-face part groove 39a, it can form 1st top-face electrode layer 32a to the back of lateral top-face part groove 39a. Next, 1st rear-face electrode layer 32b (not shown) is formed by slushing and printing the electrode paste which contains the organometallic compound of a golden system in lateral flesh-side region groove 39b and sheet-like substrate 31a, and is set to them so that flesh-side region groove 39b of the longitudinal direction of sheet-like substrate 31a may be straddled. Since the electrode paste which comes to contain the organometallic compound of said golden system at this time enters into lateral flesh-side region groove 39b, it can form 1st rear-face electrode layer 32b to the back of lateral flesh-side region groove 39b. In order to use this 1st top-face electrode layer 32a and 1st rear-face electrode layer 32b as the stable film furthermore, it calcinates at the temperature of about 850 degrees C. And the sum of the sum of the depth of top-face part groove 38a of said lengthwise direction and the depth of flesh-side region groove 38b and the depth of lateral top-face part groove 39a, and the depth of flesh-side region groove 39b It is formed so that it may not be divided at the time of the handling by the production process, and it may generally become below one half of the thickness of sheet-like substrate 31a.

[0035] Next, as shown in drawing 2 (b), the electrode paste which contains the electric conduction fine particles and glass of a silver system, and becomes is printed, and 2nd top-face electrode layer 33a is formed so that it may lap with a part of 1st top-face electrode layer 32a. Then, the electrode paste which contains the electric conduction fine particles and glass of a silver system, and becomes so that it may lap with a part of 1st rear-face electrode layer 32b (not shown) is printed, and 2nd rear-face electrode layer 33b (not shown) is formed. In order to use this 2nd top-face electrode layer 33a and 2nd rear-face electrode layer 33b as the stable film furthermore, it calcinates at the temperature of about 850 degrees C.

[0036] Next, as shown in drawing 2 (c), the resistive paste which uses ruthenium oxide as a principal component is printed, and top-face resistive layer 34a is formed so that it may connect with 2nd top-face electrode layer 33a electrically. Then, the resistive paste which uses ruthenium oxide as a principal component is printed, and rear-face resistive layer 34b (not shown) is formed so that it may connect with 2nd rear-face electrode layer 33b (not shown) electrically. In order to use this top-face resistive layer 34a and rear-face resistive layer 34b as the stable film furthermore, it calcinates at the temperature of about 850 degrees C.

[0037] Next, as shown in drawing 3 (a), in order to correct the resistance of top-face resistive layer 34a to a predetermined value, trimming slot 40a is

given by the YAG laser, and trimming is performed. Then, in order to correct the resistance of rear-face resistive layer 34b (not shown) to a predetermined value, trimming slot 40b (not shown) is given by the YAG laser, and trimming is performed.

[0038] Next, as shown in drawing 3 (b), in order to protect top-face resistive layer 34a [ finishing / resistance correction ], the paste which uses glass as a principal component is printed, and top-face protective layer 35a is formed. In this case, ranging over top-face part groove 38a of a lengthwise direction, the printing pattern of top-face protective layer 35a may be formed so that two or more top-face resistive layer 34a on a par with a longitudinal direction may be covered continuously. Then, in order to protect rear-face resistive layer 34b [ finishing / resistance correction ] (not shown), the paste which uses glass as a principal component is printed, and rear-face protective layer 35b is formed. In this case, ranging over flesh-side region groove 38b of a lengthwise direction, the printing pattern of rear-face protective layer 35b may be formed so that two or more rear-face resistive layer 34b on a par with a longitudinal direction may be covered continuously. In order to use this top-face protective layer 35a and rear-face protective layer 35b as the stable film furthermore, it calcinates at the temperature of about 600 degrees C.

[0039] Next, as shown in drawing 3 (c), it divides into the strip-of-paper-like substrate 41 by dividing sheet-like substrate 31a along with lateral top-face part groove 39a and flesh-side region groove 39b. At this time, 1st top-face electrode layer 32a and 1st rear-face electrode layer 32b which were formed previously will be formed in the side face of the longitudinal direction of the strip-of-paper-like substrate 41 to the depth of lateral top-face part groove 39a, and the depth of flesh-side region groove 39b.

[0040] Finally, as shown in drawing 3 (d), it divides into the piece substrate 42 of an individual by dividing as a preparation process for galvanizing along with top-face part groove 38a of the lengthwise direction of the strip-of-paper-like substrate 41, and flesh-side region groove 38b. And in order to secure the dependability at the time of prevention and soldering of the electrode foods crack at the time of soldering of 1st exposed top-face electrode layer 32a, 1st rear-face electrode layer 32b, 2nd top-face electrode layer 33a, and 2nd rear-face electrode layer 33b By electroplating, the nickel-plating layer (not shown) which turns into an interlayer, and the solder plating layer (not shown) used as the outermost layer are formed, and a resistor is manufactured.

[0041] The resistor in the gestalt 1 of operation of this invention constituted and manufactured as mentioned above was soldered to the mounting substrate. In this case, since the area in which the side-face electrode is formed is small although soldered in both a top-face electrode layer or a

rear-face electrode layer (not shown), and the part of the side face of a substrate 31 when it mounts by turning down the field in which protective layers 35a or 35b were formed, as shown in the sectional view of the mounting condition of drawing 4 (a), a fillet 43 becomes [ being formed slightly and ]. In this case, although the area which doubled the area 45 which is needed in order to solder the components area 44 and a side face turns into the component-side product 46 as shown in the plan of the mounting condition of drawing 4 (b) With the angle chip resistor of 0.6x0.3mm size, when the product and component-side product of structure were measured conventionally, about 20% of contraction-ization was able to be attained (at this time, the resistive layer of the side which is not in contact with a mounting substrate will be connected to a circuit.). In bulk mounting, either a top-face resistive layer or a rear-face resistive layer will be connected with the circuit of a mounting substrate. .

[0042] Thus, according to the configuration of the resistor in the gestalt 1 of operation of this invention, since the area of the side-face electrode of a resistor is small, the area for forming the fillet of soldering on a mounting substrate can be small, and it can end, consequently a component-side product can be contraction-ized.

[0043] In the gestalt 1 of operation of above-mentioned this invention, in addition, by making the height of the solder plating layer 37 higher flat-tapped with top-face protective layer 35a or rear-face protective layer 35b than top-face protective layer 35a or rear-face protective layer 35b Since it is hard coming to generate the clearance between the solder plating layer 37 and the land pattern on a mounting substrate when mounted in a mounting substrate, Improvement in the connection dependability of a top-face electrode layer or a rear-face electrode layer, and the land pattern on a mounting substrate can be aimed at, and, thereby, mounting quality can be raised further.

[0044] Moreover, in the gestalt 1 of operation of this invention, when it considers as the combination which shows 2nd top-face electrode layer 33a, 2nd rear-face electrode layer 33b, top-face protective layer 35a, and rear-face protective layer 35b in (Table 1), other properties of a publication can be raised to (Table 1).

[0045]

[Table 1]



組み合わせ	第2の上面電極層33a 第2の裏面電極層33b	上面保護層35a 裏面保護層35b	向 上 す る 特 性
1	金系導電粉末 +ガラス (850℃焼成)	ガラス系 (600℃焼成)	イオンマイグレーションが少ないので、負荷寿命特性が向上する。
2	銀系導電粉末 +ガラス (850℃焼成)	樹脂系 (200℃硬化)	上面保護層35a、裏面保護層35bの処理温度が低いいため、抵抗値の工程変化が無く、製品の抵抗値バラツキが小さくなる。
3	金系導電粉末 +ガラス (850℃焼成)	樹脂系 (200℃硬化)	上記組み合わせ1, 2の特長を合わせ持つ。

[0046] And it is considered easily that the direction which does not form a side-face electrode in the gestalt 1 of operation of this invention can carry out [\*\*\*\*]-izing of the component-side product further again. However, in the production process of the present electronic equipment, the actual condition is conducting soldering inspection after mounting according to image recognition, therefore since a fillet is not formed at all when not forming a side-face electrode, the fault of the automatic check by image recognition becoming impossible will arise.

[0047] (Gestalt 2 of operation) The resistor in a gestalt 2 and its manufacture approach of operation of this invention are explained hereafter, referring to a drawing.

[0048] Drawing 5 is what showed the sectional view of the resistor in the gestalt 2 of operation of this invention, and 51 is a substrate which comes to contain an alumina 96% in this drawing 5. 52a is the 1st top-face electrode layer of the pair formed of the spatter of the golden system prepared in the flank of the top face of a substrate 51, and a part of side face, and the ridgeline of this 1st top-face electrode layer 52a has the radius of circle. Moreover, the area of 1st top-face electrode layer 52a on the side face of said substrate 51 is 1/4 or less [ of the area of the side face of a substrate 51 ]. 53a is the 2nd top-face electrode layer of the pair which comes to contain glass in the electric conduction fine particles of the silver system prepared so that it might connect with 1st top-face electrode layer 52a of said pair electrically. 54a is a top-face resistive layer which uses as a principal component the ruthenium oxide prepared so that it might connect with 2nd top-face electrode layer 53a of a pair electrically. 55a is a top-face protective layer which uses as a principal component the glass formed so that the top face of said top-face resistive layer 54a might be covered at least. 52b is the 1st rear-face electrode layer of the pair formed of the spatter of the golden system prepared in the flank of the rear face of a substrate 51, and a part of side face, and the ridgeline of this 1st rear-face

electrode layer 52b has the radius of circle. Moreover, the area of 1st rear-face electrode layer 52b on the side face of said substrate 51 is  $1/5$  or less [ of the area of the side face of a substrate 51 ]. 53b is the 2nd rear-face electrode layer of the pair which comes to contain glass in the electric conduction fine particles of the silver system prepared so that it might connect with 1st rear-face electrode layer 52b of said pair electrically. 54b is a rear-face resistive layer which uses as a principal component the ruthenium oxide prepared so that it might connect with 2nd rear-face electrode layer 53b of a pair electrically. 55b is a rear-face protective layer which uses as a principal component the glass formed so that the top face of said rear-face resistive layer 54b might be covered at least. 56 and 57 are the nickel-plating layers and solder plating layers which were prepared so that 1st top-face electrode layer 52a, 2nd top-face electrode layer 53a, 1st rear-face electrode layer 52b, and 2nd rear-face electrode layer 53b might be covered, in order to secure the dependability at the time of soldering etc. if needed.

[0049] About the resistor in the gestalt 2 of operation of this invention constituted as mentioned above, the manufacture approach is explained below, referring to a drawing.

[0050] Drawing 6 (a) – (c) and drawing 7 (a) – (d) is process drawing showing the manufacture approach of the resistor in the gestalt 2 of operation of this invention.

[0051] First, top-face part groove 58a and flesh-side region groove 58b of two or more lengthwise directions prepared in order to divide into a front face at a back process the shape of a strip of paper, and in the shape of a piece of an individual, as shown in drawing 6 (a), Film deposition of the gold is carried out to the whole top face of sheet-like substrate 51a which comes to contain an alumina 96% excellent in the thermal resistance and the insulation which have lateral top-face part groove 59a and flesh-side region groove 59b with a spatter method of construction. FOTORISO currently furthermore performed generally by LSI etc. — by law, 1st top-face electrode layer 52a which has a desired electrode pattern was formed. then, FOTORISO which carries out film deposition of the gold to the whole rear face of sheet-like substrate 51a with a spatter method of construction, and is generally further performed by LSI etc. — 1st rear-face electrode layer 52b which has a desired electrode pattern was formed by law. And in order to use said 1st top-face electrode layer 52a and 1st rear-face electrode layer 52b as the stable film after this, it heat-treats at the temperature of about 300–400 degrees C. Since said 1st top-face electrode layer 52a and 1st rear-face electrode layer 52b enter into lateral top-face part groove 59a and flesh-side region groove 59b at this time, 1st top-face electrode layer 52a and 1st rear-face electrode layer 52b can be formed to the back of lateral

top-face part groove 59a and flesh-side region groove 59b. And the sum of the sum of the depth of top-face part groove 58a of said lengthwise direction and the depth of flesh-side region groove 58b, and the depth of lateral top-face part groove 59a and the depth of the flesh-side region groove 59 It is formed so that it may not be divided at the time of the handling by the production process, and it may generally become below one half of the thickness of sheet-like substrate 51a.

[0052] Next, as shown in drawing 6 (b), the electrode paste which contains the electric conduction fine particles and glass of a silver system, and becomes is printed, and 2nd top-face electrode layer 53a is formed so that it may connect with 1st top-face electrode layer 52a electrically. Then, the electrode paste which contains the electric conduction fine particles and glass of a silver system, and becomes is printed, and 2nd rear-face electrode layer 53b (not shown) is formed so that it may connect with 1st rear-face electrode layer 52b (not shown) electrically. In order to use this 2nd top-face electrode layer 53a and 2nd rear-face electrode layer 53b as the stable film furthermore, it calcinates at the temperature of about 850 degrees C.

[0053] Next, as shown in drawing 6 (c), the resistive paste which uses ruthenium oxide as a principal component is printed, and top-face resistive layer 54a is formed so that it may connect with 2nd top-face electrode layer 53a electrically. Then, the resistive paste which uses ruthenium oxide as a principal component is printed, and rear-face resistive layer 54b is formed so that it may connect with 2nd rear-face electrode layer 53b electrically. In order to use this top-face resistive layer 54a and rear-face resistive layer 54b as the stable film furthermore, it calcinates at the temperature of about 850 degrees C.

[0054] Next, as shown in drawing 7 (a), in order to correct the resistance of top-face resistive layer 54a to a predetermined value, trimming slot 60a is given by the YAG laser, and trimming is performed. Then, in order to correct the resistance of rear-face resistive layer 54b (not shown) to a predetermined value, trimming slot 60b (not shown) is given by the YAG laser, and trimming is performed.

[0055] Next, as shown in drawing 7 (b), in order to protect top-face resistive layer 54a [ finishing / resistance correction ], the paste which uses glass as a principal component is printed, and top-face protective layer 55a is formed. In this case, ranging over top-face part groove 58a of a lengthwise direction, the printing pattern of top-face protective layer 55a may be formed so that two or more top-face resistive layer 54a on a par with a longitudinal direction may be covered continuously. Then, in order to protect rear-face resistive layer 54b [ finishing / resistance correction ] (not shown), the paste which uses glass as a principal component is printed, and rear-face protective layer 55b (not shown) is formed. In this case, ranging over flesh-side region groove

58b of a lengthwise direction, the printing pattern of rear-face protective layer 55b may be formed so that two or more rear-face resistive layer 54b on a par with a longitudinal direction may be covered continuously. In order to use this top-face protective layer 55a and rear-face protective layer 55b as the stable film furthermore, it calcinates at the temperature of about 600 degrees C.

[0056] Next, as shown in drawing 7 (c), it divides into the strip-of-paper-like substrate 61 by dividing sheet-like substrate 51a along with lateral top-face part groove 59a and flesh-side region groove 59b. At this time, 1st top-face electrode layer 52a and 1st rear-face electrode layer 52b which were formed previously will be formed in the side face of the longitudinal direction of the strip-of-paper-like substrate 61 to the depth of lateral top-face part groove 59a, and the depth of flesh-side region groove 59b.

[0057] Finally, as shown in drawing 7 (d), it divides into the piece substrate 62 of an individual by dividing as a preparation process for galvanizing along with top-face part groove 58a of the lengthwise direction of the strip-of-paper-like substrate 61, and flesh-side region groove 58b. And in order to secure the dependability at the time of prevention and soldering of the electrode foods crack at the time of soldering of 1st exposed top-face electrode layer 52a, 2nd top-face electrode layer 53a, 1st rear-face electrode layer 52a, and 2nd rear-face electrode layer 53b By electroplating, the nickel-plating layer (not shown) which turns into an interlayer, and the solder plating layer (not shown) used as the outermost layer are formed, and a resistor is manufactured.

[0058] Since it is the same as the gestalt 1 of the operation of this invention which mentioned above the resistor in the gestalt 2 of operation of this invention constituted and manufactured as mentioned above about the effectiveness at the time of soldering to a mounting substrate, explanation is omitted.

[0059] In the gestalt 2 of operation of this invention Moreover, 1st top-face electrode layer 52a, 2nd top-face electrode layer 53a, When it considers as the combination which shows top-face resistive layer 54a, top-face protective layer 55a, 1st rear-face electrode layer 52b, 2nd rear-face electrode layer 53b, rear-face resistive layer 54b, and rear-face protective layer 55b in (Table 2), other properties of a publication can be raised to (Table 2).

[0060]

[Table 2]

組み合わせ	第1の上面電極層 5 2 a 第1の裏面電極層 5 2 b	第2の上面電極層 5 3 a 第2の裏面電極層 5 3 b	上面抵抗層 5 4 a 裏面抵抗層 5 4 b	上面保護層 5 5 a 裏面保護層 5 5 b	向上する特性
4	金系スパッタ (300～400℃ 熱処理)	金系導電粉末 +ガラス (850℃焼成)	酸化ルテニウム系 (850℃焼成)	ガラス系 (600℃焼成)	イオンマイグレーションが少ないので、 負荷寿命特性が向上する。
5	金系スパッタ (300～400℃ 熱処理)	銀系導電粉末 +ガラス (850℃焼成)	酸化ルテニウム系 (850℃焼成)	樹脂系 (200℃硬化)	上面保護層5 5 a、 裏面保護層5 5 bの 処理温度が低いため、 抵抗値の工程変化が 無く、製品の抵抗値 バラツキが小さくなる。
6	金系スパッタ (300～400℃ 熱処理)	金系導電粉末 +ガラス (850℃焼成)	酸化ルテニウム系 (850℃焼成)	樹脂系 (200℃硬化)	上記組み合わせ4と 5の特長を合わせ持つ。
7	ニッケル系 スパッタ (300～400℃ 熱処理)	銀系導電粉末 +樹脂 (200℃硬化)	カーボン樹脂系 (200℃硬化)	樹脂系 (200℃硬化)	上記組み合わせ5の 特長を持ち、さらに 上記組み合わせ6に 比べて第1の上面電 極層5 2 aが卑金属 となるため、安価に 製造することが可能 となる。
8	ニッケル系 スパッタ (300～400℃ 熱処理)	ニッケル系導 電粉末 +樹脂 (200℃硬化)	カーボン樹脂系 (200℃硬化)	樹脂系 (200℃硬化)	上記組み合わせ7の 特長を持ち、さらに 上記組み合わせ7に 比べて第2の上面電 極層5 3 aが卑金属 となるため、安価に 製造することが可能 となる。

[0061]

[Effect of the Invention] The 1st top-face electrode layer of the pair by which the resistor of this invention was prepared as mentioned above in the flank of the top face of a substrate and this substrate, and a part of side face, The 2nd top-face electrode layer of the pair prepared so that it might connect with this 1st top-face electrode layer electrically, The top-face resistive layer prepared so that it might connect with this 2nd top-face electrode layer electrically, The top-face protective layer prepared so that the top face of said top-face resistive layer might be covered at least, The 1st rear-face electrode layer of the pair prepared in the flank of the rear face of said substrate, and a part of side face, The 2nd rear-face electrode layer of the pair prepared so that it might connect with this 1st rear-face

electrode layer electrically, It is the thing equipped with the rear-face resistive layer prepared so that it might connect with this 2nd rear-face electrode layer electrically, and the rear-face protective layer prepared so that the top face of said rear-face resistive layer might be covered at least. Since according to this configuration it is considering as the structure whose formation of a solder fillet decreases extremely when mounted in a mounting substrate, Since the soldering area occupied to a component-side product could be reduced and the electrode layer, the resistive layer, and the protective layer are moreover prepared in the top face and rear face of a substrate, respectively, Even when mounted in which of the top-face sense or the rear-face sense at the time of bulk package mounting, it has the outstanding effectiveness that high density assembly is realizable.

---

[Translation done.]

**\* NOTICES \***

JP0 and NCIP1 are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

**DESCRIPTION OF DRAWINGS**

---

[Brief Description of the Drawings]

[Drawing 1] The sectional view of the resistor in the gestalt 1 of operation of this invention

[Drawing 2] (a) Process drawing showing the manufacture approach of the  
-(c) said resistor

[Drawing 3] (a) Process drawing showing the manufacture approach of the  
-(d) said resistor

[Drawing 4] (a) The sectional view in the condition of having mounted this resistor in the mounting substrate

(b) The plan in the condition of having mounted this resistor in the mounting substrate

[Drawing 5] The sectional view of the resistor in the gestalt 2 of operation of this invention

[Drawing 6] (a) Process drawing showing the manufacture approach of the  
-(c) said resistor

[Drawing 7] (a) Process drawing showing the manufacture approach of the  
-(d) said resistor

[Drawing 8] The sectional view of the conventional resistor

[Drawing 9] (a) Process drawing showing the manufacture approach of the  
-(f) said resistor

[Drawing 10] (a) The sectional view in the condition of having mounted this resistor in the mounting substrate

(b) The plan in the condition of having mounted this resistor in the mounting substrate

[Description of Notations]

31 51 Substrate

31a, 51a Sheet-like substrate

32a, 52a 1st top-face electrode layer

32b, 52b 1st rear-face electrode layer

33a, 53a 2nd top-face electrode layer  
33b, 53b 2nd rear-face electrode layer  
34a, 54a Top-face resistive layer  
34b, 54b Rear-face resistive layer  
35a, 55a Top-face protective layer  
35b, 55b Rear-face protective layer  
36 56 Nickel-plating layer  
37 57 Solder plating layer  
38a, 58a Top-face part groove of a lengthwise direction  
38b, 58b Flesh-side region groove of a lengthwise direction  
39a, 59a Lateral top-face part groove  
39b, 59b Lateral flesh-side region groove  
41 61 Strip-of-paper-like substrate  
42 62 Piece substrate of an individual

---

[Translation done.]



## \* NOTICES \*

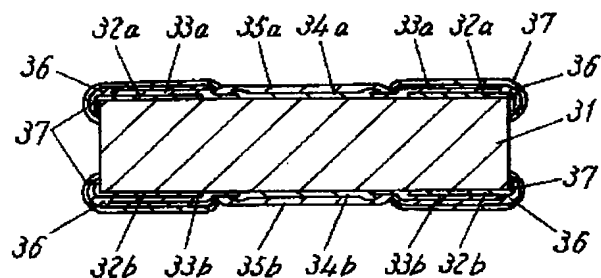
JP0 and NCIP1 are not responsible for any damages caused by the use of this translation.

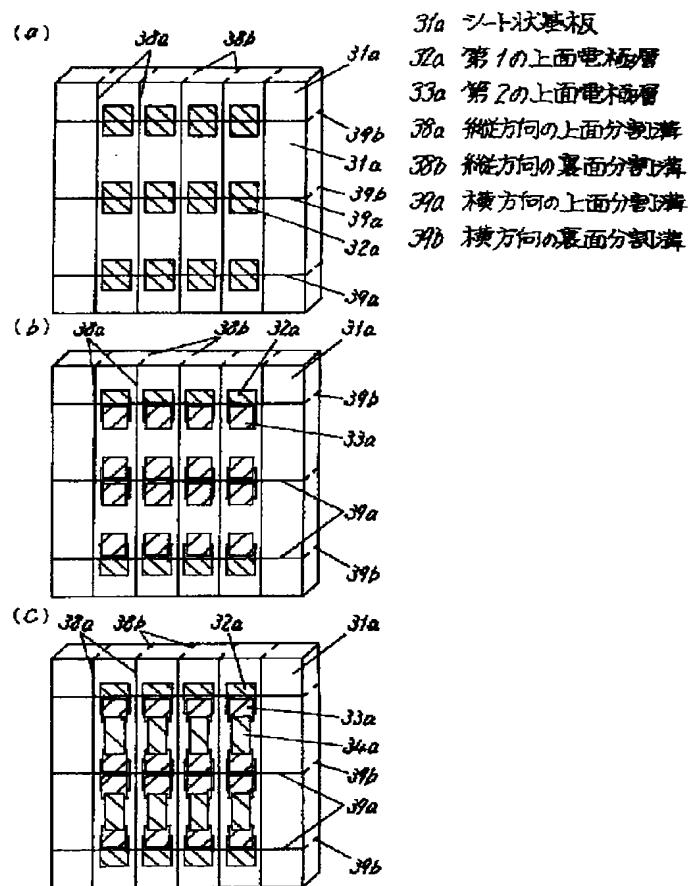
- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

## DRAWINGS

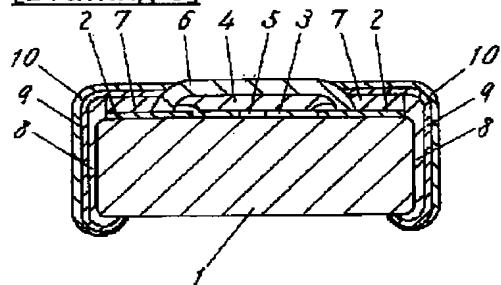
[Drawing 1]

- 31 基 板
- 32a 第1の上面電極層
- 32b 第1の裏面電極層
- 33a 第2の上面電極層
- 33b 第2の裏面電極層
- 34a 上面抵抗層
- 34b 裏面抵抗層
- 35a 上面保護層
- 35b 裏面保護層
- 36 ニッケルめっき層
- 37 はんだめっき層

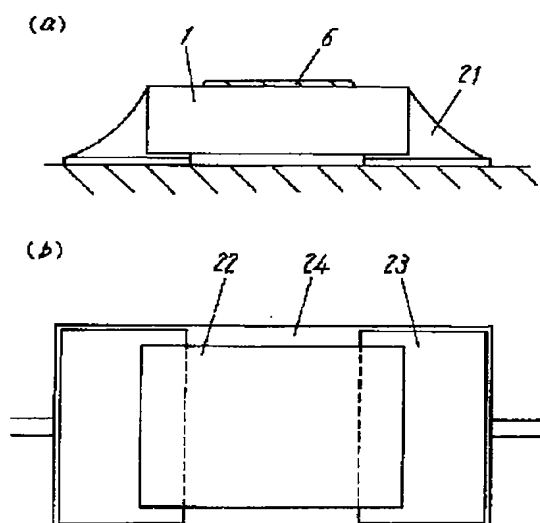
[Drawing 2]



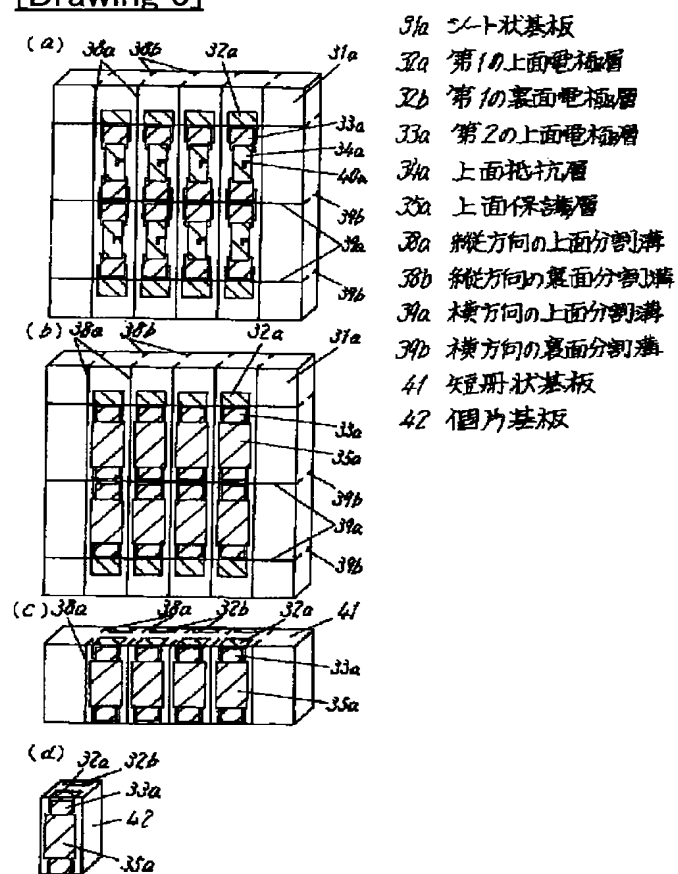
[Drawing 8]



[Drawing 10]

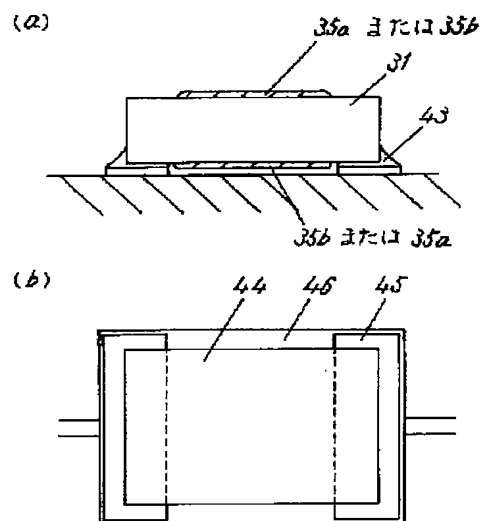


[Drawing 3]



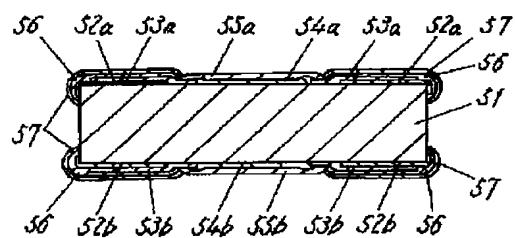
[Drawing 4]

31 基板  
35a 上面保護層  
35b 裏面保護層

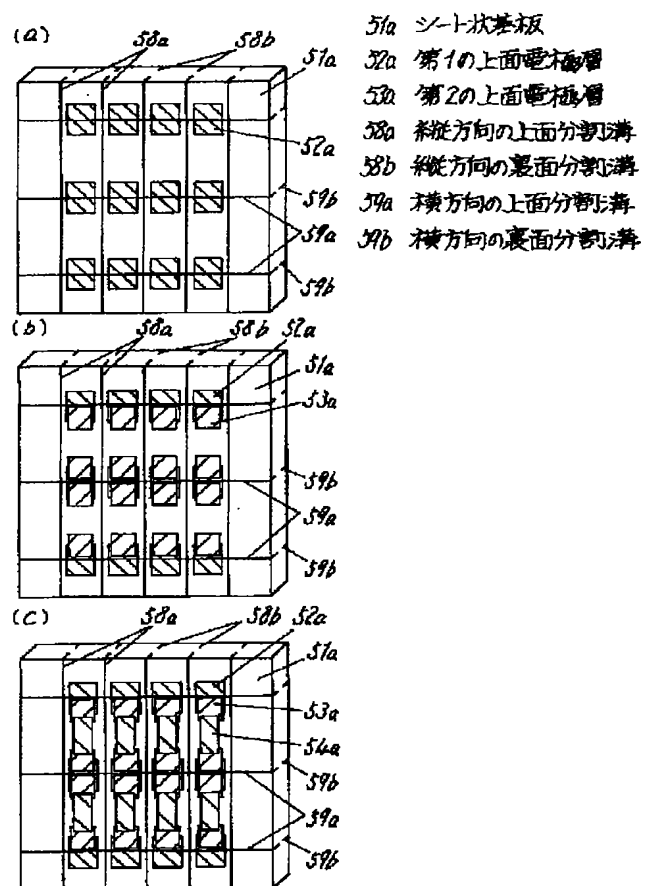


[Drawing 5]

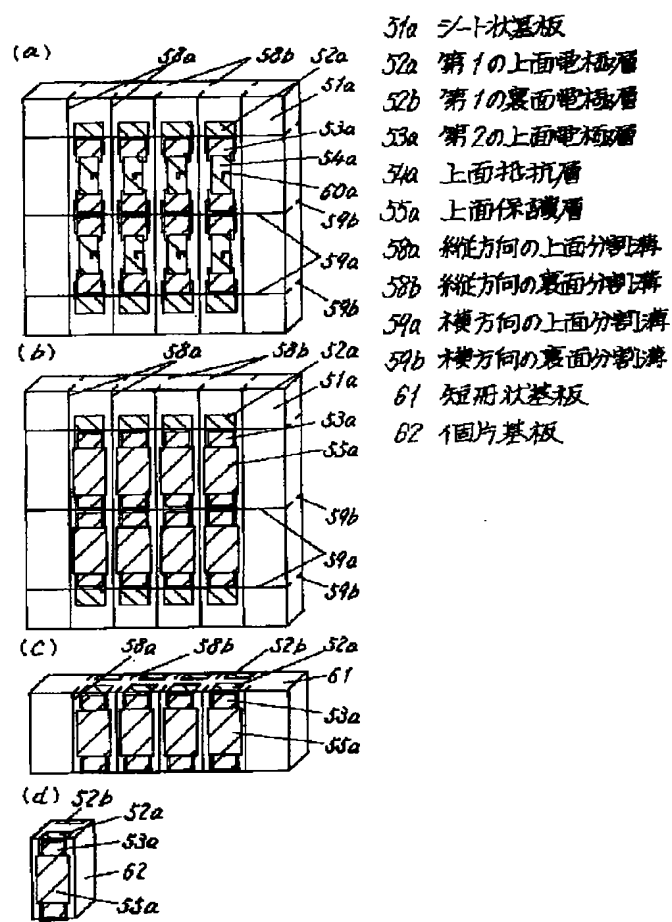
51 基板  
52a 第1の上面電極層  
52b 第1の裏面電極層  
53a 第2の上面電極層  
53b 第2の裏面電極層  
54a 上面抵抗層  
54b 裏面抵抗層  
55a 上面保護層  
55b 裏面保護層  
56 ニッケルめっき層  
57 はんだめっき層



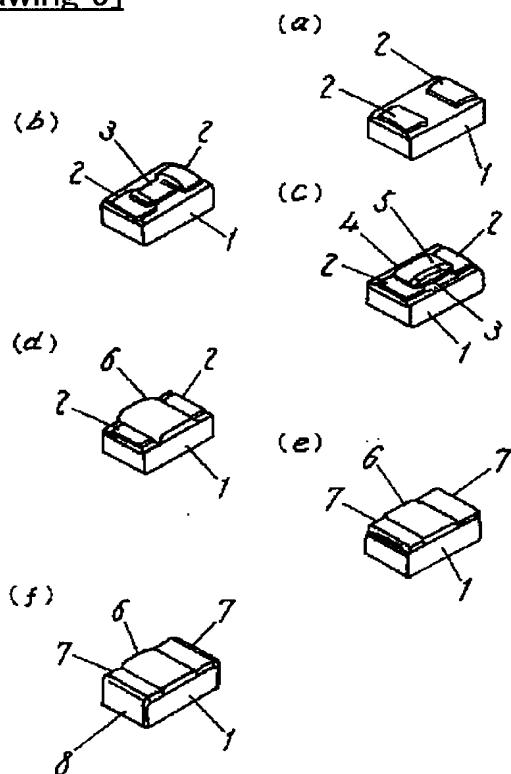
[Drawing 6]



[Drawing 7]



[Drawing 9]



---

[Translation done.]

(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-143903

(P2001-143903A)

(43) 公開日 平成13年5月25日 (2001.5.25)

(51) Int.Cl.<sup>7</sup>

識別記号

F I

ターミナル\* (参考)

H 0 1 C 7/00

H 0 1 C 7/00

B 5 E 0 3 2

17/06

17/06

B 5 E 0 3 3

審査請求 未請求 請求項の数12 O L (全 12 頁)

(21) 出願番号

特願平11-325100

(22) 出願日

平成11年11月16日 (1999. 11. 16)

(71) 出願人 000003821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 橋本 正人

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72) 発明者 津田 清二

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(74) 代理人 10009/445

弁理士 岩橋 文雄 (外2名)

最終頁に続く

(54) 【発明の名称】 抵抗器およびその製造方法

(57) 【要約】

【課題】 実装基板に実装した際の実装面積に占めるはんだ付け面積を低減でき、さらにバルク一括実装時ににおいて、上面向きあるいは裏面向きのどちらに実装された場合でも高密度実装が実現できる抵抗器を提供することを目的とする。

【解決手段】 基板31の上面の側部および側面の一部に第1の上面電極層32aを設けるとともに、基板31の裏面の側部および側面の一部に第1の裏面電極層32bを設け、さらに前記基板31の上面側と裏面側に、第2の上面電極層33a、第2の裏面電極層33b、上面抵抗層34a、裏面抵抗層34b、上面保護層35a、裏面保護層35bを設けたものである。

31 基 板

32a 第1の上面電極層

32b 第1の裏面電極層

33a 第2の上面電極層

33b 第2の裏面電極層

34a 上面抵抗層

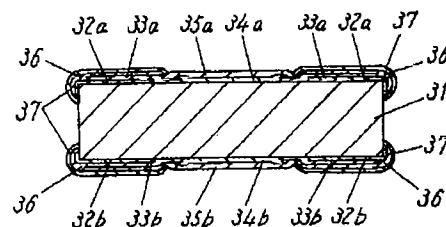
34b 裏面抵抗層

35a 上面保護層

35b 裏面保護層

36 ニッケルめっき層

37 はんだめっき層





## 【特許請求の範囲】

【請求項1】 基板と、この基板の上面の側部および側面の一部に設けられた一对の第1の上面電極層と、この第1の上面電極層に電氣的に接続されるように設けられた一对の第2の上面電極層と、この第2の上面電極層に電氣的に接続されるように設けられた上面抵抗層と、少なくとも前記上面抵抗層の上面を覆うように設けられた上面保護層と、前記基板の裏面の側部および側面の一部に設けられた一对の第1の裏面電極層と、この第1の裏面電極層に電氣的に接続されるように設けられた一对の第2の裏面電極層と、この第2の裏面電極層に電氣的に接続されるように設けられた裏面抵抗層と、少なくとも前記裏面抵抗層の上面を覆うように設けられた裏面保護層とを備えた抵抗器。

【請求項2】 基板の側面に位置する第1の上面電極層を前記基板の高さ方向における上面抵抗層側に設けるとともに、基板の側面に位置する第1の裏面電極層を前記基板の高さ方向における裏面抵抗層側に設けた請求項1記載の抵抗器。

【請求項3】 基板の側面に位置する第1の上面電極層と第1の裏面電極層の面積の和を基板の側面の面積の半分以下とした請求項2記載の抵抗器。

【請求項4】 第1の上面電極層、第2の上面電極層、第1の裏面電極層および第2の裏面電極層をめっき層で覆うとともに、このめっき層の高さを上面保護層あるいは裏面保護層と面一またはそれより高くした請求項1記載の抵抗器。

【請求項5】 第1の上面電極層および第1の裏面電極層を金系の有機金属化合物を焼成して形成するか、または金系のスパッタにより形成した請求項1記載の抵抗器。

【請求項6】 第2の上面電極層および第2の裏面電極層を銀系または金系の導電粉体にガラスを含有してなるもので形成した請求項1記載の抵抗器。

【請求項7】 上面保護層および裏面保護層を樹脂系またはガラス系のいずれかで形成した請求項1記載の抵抗器。

【請求項8】 第1の上面電極層および第1の裏面電極層をニッケル系のスパッタにより形成した請求項1記載の抵抗器。

【請求項9】 第2の上面電極層、第2の裏面電極層、上面抵抗層、裏面抵抗層、上面保護層および裏面保護層を樹脂系のもので形成した請求項1記載の抵抗器。

【請求項10】 上面保護層と裏面保護層の色調を異ならせた請求項1記載の抵抗器。

【請求項11】 上面分割溝および裏面分割溝を有するシート状基板の上面分割溝を跨ぐように前記上面分割溝およびシート状基板に電極ペーストを流し込んで第1の上面電極層を設ける工程と、前記シート状基板の裏面分割溝を跨ぐように前記裏面分割溝およびシート状基板に

電極ペーストを流し込んで第1の裏面電極層を設ける工程と、前記第1の上面電極層と電氣的に接続されるように第2の上面電極層を設ける工程と、前記第1の裏面電極層と電氣的に接続されるように第2の裏面電極層を設ける工程と、前記第2の上面電極層間を電氣的に接続するように上面抵抗層を設ける工程と、前記第2の裏面電極層間を電氣的に接続するように裏面抵抗層を設ける工程と、少なくとも前記上面抵抗層の表面を覆うように上面保護層を設ける工程と、少なくとも前記裏面抵抗層の表面を覆うように裏面保護層を設ける工程と、前記シート状基板の上面分割溝および裏面分割溝で前記シート状基板を短冊状基板に分割する工程と、前記短冊状基板を個片に分割する工程とを備えた抵抗器の製造方法。

【請求項12】 上面分割溝および裏面分割溝を有するシート状基板の上面分割溝を跨ぐように前記上面分割溝およびシート状基板にスパッタにより第1の上面電極層を設ける工程と、前記シート状基板の裏面分割溝を跨ぐように前記裏面分割溝およびシート状基板にスパッタにより第1の裏面電極層を設ける工程と、前記第1の上面電極層と電氣的に接続されるように第2の上面電極層を設ける工程と、前記第1の裏面電極層と電氣的に接続されるように第2の裏面電極層を設ける工程と、前記第2の上面電極層間を電氣的に接続するように上面抵抗層を設ける工程と、前記第2の裏面電極層間を電氣的に接続するように裏面抵抗層を設ける工程と、少なくとも前記上面抵抗層の表面を覆うように上面保護層を設ける工程と、少なくとも前記裏面抵抗層の表面を覆うように裏面保護層を設ける工程と、前記シート状基板の上面分割溝および裏面分割溝で前記シート状基板を短冊状基板に分割する工程と、前記短冊状基板を個片に分割する工程とを備えた抵抗器の製造方法。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は各種電子機器に利用される抵抗器およびその製造方法に関するものである。

【0002】

【従来の技術】近年、電子機器の小型化に伴い、回路基板に使用される電子部品に対しても実装密度を上げるため、ますます小形化への要求が高まっている。抵抗器に対しても、実装基板上の実装面積を縮小化するため、小形の抵抗器への要求が高まってきている。

【0003】従来のこの種の抵抗器としては、特開平4-102302号公報に開示されたものが知られている。

【0004】以下、従来の抵抗器およびその製造方法について、図面を参照しながら説明する。

【0005】図8は従来の抵抗器の断面図を示したもので、この図8において、1は絶縁基板である。2は絶縁基板1の上面の左右両端部に設けられた一对の第1の上面電極層である。3は一对の第1の上面電極層2に一部

が重なるように設けられた抵抗層である。4は抵抗層3の全体を覆うように設けられた第1の保護層である。5は抵抗値を修正するために抵抗層3および第1の保護層4に設けられたトリミング溝である。6は第1の保護層4の上面に設けられた第2の保護層である。7は一对の第1の上面電極層2の上面に絶縁基板1の幅一杯まで延びるように設けられた一对の第2の上面電極層である。8は絶縁基板1の両側面に設けられた一对の側面電極層である。9、10是一对の第2の上面電極層7および一对の側面電極層8の表面に設けられたニッケルめっき層、はんだめっき層である。

【0006】以上のように構成された従来の抵抗器について、以下にその製造方法を図面を参照しながら説明する。

【0007】図9(a)～(f)は従来の抵抗器の製造方法を示す工程図である。

【0008】まず、図9(a)に示すように、絶縁基板1の上面の左右両端部に一对の第1の上面電極層2を印刷形成する。

【0009】次に、図9(b)に示すように、一对の第1の上面電極層2の一部が重なるように絶縁基板1の上面に抵抗層3を印刷形成する。

【0010】次に、図9(c)に示すように、抵抗層3の全体を覆うように第1の保護層4を印刷形成した後、抵抗層3における全抵抗値が所定の抵抗値の範囲内に入るようにレーザ等により抵抗層3および第1の保護層4にトリミング溝5を施す。

【0011】次に、図9(d)に示すように、第1の保護層4の上面に第2の保護層6を印刷形成する。

【0012】次に、図9(e)に示すように、一对の第1の上面電極層2の上面に絶縁基板1の幅一杯まで延びるように一对の第2の上面電極層7を印刷形成する。

【0013】次に、図9(f)に示すように、一对の第1の上面電極層2および絶縁基板1の左右両端の側面に一对の第1、第2の上面電極層2、7と電気的に接続されるように一对の側面電極層8を塗着形成する。

【0014】最後に、一对の第2の上面電極層7および一对の側面電極層8の表面にニッケルめっきを施した後、はんだめっきを施すことにより、ニッケルめっき層9、はんだめっき層10を形成して従来の抵抗器を製造していた。

【0015】

【発明が解決しようとする課題】しかしながら、上記従来の構成および製造方法による抵抗器では、実装基板にはんだ付けをした場合、図10(a)の実装状態の断面図に示すように側面電極層(図示せず)と下面電極層(図示せず)の双方ではんだ付けされてフィレット21が形成されるフィレット実装構造であるため、図10(b)の実装状態の上面図に示すように部品面積22に加えて側面をはんだ付けする面積23が必要であり、そ

の結果、これらを合わせた実装面積24が必要となる。しかも、実装密度を向上させるために部品外形寸法を小さくすればするほど、実装面積に対するはんだ付け面積の占める割合が大きくなるため、電子機器の小型化のために実装密度を向上させることには限界が生ずるという課題を有していた。また、近年バルク一括実装方式による高密度実装の要望が高まりつつあり、上面向きあるいは裏面向きのどちらに実装された場合でも高い実装密度を実現する必要がある。

【0016】本発明は上記従来の課題を解決するもので、実装基板に実装した際の実装面積に占めるはんだ付け面積を低減でき、さらにバルク一括実装時において、上面向きあるいは裏面向きのどちらに実装された場合でも高密度実装が実現できる抵抗器を提供することを目的とするものである。

【0017】

【課題を解決するための手段】上記目的を達成するために本発明の抵抗器は、基板と、この基板の上面の側部および側面の一部に設けられた一对の第1の上面電極層と、この第1の上面電極層に電気的に接続されるように設けられた一对の第2の上面電極層と、この第2の上面電極層に電気的に接続されるように設けられた上面抵抗層と、少なくとも前記上面抵抗層の上面を覆うように設けられた上面保護層と、前記基板の裏面の側部および側面の一部に設けられた一对の第1の裏面電極層と、この第1の裏面電極層に電気的に接続されるように設けられた一对の第2の裏面電極層と、この第2の裏面電極層に電気的に接続されるように設けられた裏面抵抗層と、少なくとも前記裏面抵抗層の上面を覆うように設けられた裏面保護層とを備えたもので、この構成によれば、実装基板に実装した際の実装面積に占めるはんだ付け面積を低減でき、さらにバルク一括実装時において、上面向きあるいは裏面向きのどちらに実装された場合でも高密度実装が実現できる抵抗器を提供することができるものである。

【0018】

【発明の実施の形態】本発明の請求項1に記載の発明は、基板と、この基板の上面の側部および側面の一部に設けられた一对の第1の上面電極層と、この第1の上面電極層に電気的に接続されるように設けられた一对の第2の上面電極層と、この第2の上面電極層に電気的に接続されるように設けられた上面抵抗層と、少なくとも前記上面抵抗層の上面を覆うように設けられた上面保護層と、前記基板の裏面の側部および側面の一部に設けられた一对の第1の裏面電極層と、この第1の裏面電極層に電気的に接続されるように設けられた一对の第2の裏面電極層と、この第2の裏面電極層に電気的に接続されるように設けられた裏面抵抗層と、少なくとも前記裏面抵抗層の上面を覆うように設けられた裏面保護層とを備えたもので、この構成によれば、実装基板に実装した際に

はんだフィレットの形成が極めて少なくなる構造として、  
いるため、実装面積に占めるはんだ付け面積を低減で  
き、しかも基板の上面および裏面にそれぞれ電極層、抵  
抗層、保護層を設けているため、バルク一括実装時に  
おいて、上面向きあるいは裏面向きのどちらに実装され  
た場合でも高密度実装が実現できるという作用を有する  
ものである。

【0019】請求項2に記載の発明は、請求項1に記載  
の基板の側面に位置する第1の上面電極層を前記基板の  
高さ方向における上面抵抗層側に設けるとともに、基板  
の側面に位置する第1の裏面電極層を前記基板の高さ方  
向における裏面抵抗層側に設けたもので、この構成によ  
れば、実装基板に実装した際にはんだフィレットの形成  
が極めて少なくなる構造となるため、実装面積に占める  
はんだ付け面積を低減でき、しかも基板の上面および裏  
面にそれぞれ電極層、抵抗層、保護層を設けているた  
め、バルク一括実装時において、上面向きあるいは裏面  
向きのどちらに実装された場合でも高密度実装が実現で  
きるという作用を有するものである。

【0020】請求項3に記載の発明は、請求項2に記載  
の基板の側面に位置する第1の上面電極層と第1の裏面  
電極層の面積の和を基板の側面の面積の半分以下とした  
もので、この構成によれば、実装基板に実装した際には  
んだフィレットの形成が極めて少なくなる構造となるた  
め、実装面積に占めるはんだ付け面積を低減でき、しか  
も基板の上面および裏面にそれぞれ電極層、抵抗層、保  
護層を設けているため、バルク一括実装時において、上  
面向きあるいは裏面向きのどちらに実装された場合でも  
高密度実装が実現できるという作用を有するものであ  
る。

【0021】請求項4に記載の発明は、請求項1に記載  
の第1の上面電極層、第2の上面電極層、第1の裏面電  
極層および第2の裏面電極層をめっき層で覆うととも  
に、このめっき層の高さを上面保護層あるいは裏面保護  
層と面またはそれより高くしたもので、この構成によ  
れば、実装基板に実装した際にめっき層と実装基板上  
のランドパターンとの隙間が生じにくくなるため、上面  
電極層あるいは裏面電極層と実装基板上のランドパター  
ンとの接続信頼性が向上するという作用を有するもので  
ある。

【0022】請求項5に記載の発明は、請求項1に記載  
の第1の上面電極層および第1の裏面電極層を金系の有  
機金属化合物を焼成して形成するか、または金系のスパ  
ッタにより形成したもので、この構成によれば、シート  
状基板の分割溝を跨ぐように第1の上面電極層および第  
1の裏面電極層を形成する場合、前記シート状基板の分  
割溝内に第1の上面電極層および第1の裏面電極層を確  
実に形成できるという作用を有するものである。

【0023】請求項6に記載の発明は、請求項1に記載  
の第2の上面電極層および第2の裏面電極層を銀系また

は金系の導電粉体にガラスを含有してなるもので形成し  
たもので、この構成によれば、安価な材料で第2の上面  
電極層および第2の裏面電極層を形成できるという作用  
を有するものである。

【0024】請求項7に記載の発明は、請求項1に記載  
の上面保護層および裏面保護層を樹脂系またはガラス系  
のいずれかで形成したもので、この構成によれば、安定  
した抵抗特性を有する抵抗器を提供することができる  
という作用を有するものである。

【0025】請求項8に記載の発明は、請求項1に記載  
の第1の上面電極層および第1の裏面電極層をニッケル  
系のスパッタにより形成したもので、この構成によれ  
ば、シート状基板の分割溝を跨ぐように第1の上面電極  
層および第1の裏面電極層を形成する場合、前記シート  
状基板の分割溝内に第1の上面電極層および第1の裏面  
電極層を確実に形成できるとともに、コスト的にも安価  
なものが得られるという作用を有するものである。

【0026】請求項9に記載の発明は、請求項1に記載  
の第2の上面電極層、第2の裏面電極層、上面抵抗層、  
裏面抵抗層、上面保護層および裏面保護層を樹脂系のも  
ので形成したもので、この構成によれば、抵抗値修正後  
の抵抗値変化が非常に少なくなり、これにより、抵抗値  
ばらつきの小さい抵抗器が得られるという作用を有する  
ものである。

【0027】請求項10に記載の発明は、上面保護層と  
裏面保護層の色調を異ならせたもので、この構成によ  
れば、製造工程において基板の表裏が判定できるという  
作用を有するものである。

【0028】請求項11に記載の発明は、上面分割溝お  
よび裏面分割溝を有するシート状基板の上面分割溝を跨  
ぐように前記上面分割溝およびシート状基板に電極ペー  
ストを流し込んで第1の上面電極層を設ける工程と、前  
記シート状基板の裏面分割溝を跨ぐように前記裏面分割  
溝およびシート状基板に電極ペーフトを流し込んで第1  
の裏面電極層を設ける工程と、前記第1の上面電極層と  
電氣的に接続されるように第2の上面電極層を設ける工  
程と、前記第1の裏面電極層と電氣的に接続されるよう  
に第2の裏面電極層を設ける工程と、前記第2の上面電  
極層間を電氣的に接続するように上面抵抗層を設ける工  
程と、前記第2の裏面電極層間を電氣的に接続するよう  
に裏面抵抗層を設ける工程と、少なくとも前記上面抵抗  
層の表面を覆うように上面保護層を設ける工程と、少な  
くとも前記裏面抵抗層の表面を覆うように裏面保護層を  
設ける工程と、前記シート状基板の上面分割溝および裏  
面分割溝で前記シート状基板を短冊状基板に分割する工  
程と、前記短冊状基板を個片に分割する工程とを備えた  
もので、この製造方法によれば、実装基板に実装した際  
にはんだフィレットの形成が極めて少なくなる構造のも  
のが得られるため、実装面積に占めるはんだ付け面積を  
低減でき、しかもシート状基板の上面および裏面にそれ

ぞれ電極層、抵抗層、保護層を形成しているため、バルク一括実装時において、上面向きあるいは裏面向きのどちらに実装された場合でも高密度実装が実現できる抵抗器を製造することができるという作用を有するものである。

【0029】請求項12に記載の発明は、上面分割溝および裏面分割溝を有するシート状基板の上面分割溝を跨ぐように前記上面分割溝およびシート状基板にスパッタにより第1の上面電極層を設ける工程と、前記シート状基板の裏面分割溝を跨ぐように前記裏面分割溝およびシート状基板にスパッタにより第1の裏面電極層を設ける工程と、前記第1の上面電極層と電気的に接続されるように第2の上面電極層を設ける工程と、前記第1の裏面電極層と電気的に接続されるように第2の裏面電極層を設ける工程と、前記第2の上面電極層間を電気的に接続するように上面抵抗層を設ける工程と、前記第2の裏面電極層間を電気的に接続するように裏面抵抗層を設ける工程と、少なくとも前記上面抵抗層の表面を覆うように上面保護層を設ける工程と、少なくとも前記裏面抵抗層の表面を覆うように裏面保護層を設ける工程と、前記シート状基板の上面分割溝および裏面分割溝で前記シート状基板を短冊状基板に分割する工程と、前記短冊状基板を個片に分割する工程とを備えたもので、この製造方法によれば、実装基板に実装した際にはんだフィレットの形成が極めて少なくなる構造のものが得られるため、実装面積に占めるはんだ付け面積を低減でき、しかもシート状基板の上面および裏面にそれぞれ電極層、抵抗層、保護層を形成しているため、バルク一括実装時において、上面向きあるいは裏面向きのどちらに実装された場合でも高密度実装が実現できる抵抗器を製造することができるという作用を有するものである。

【0030】(実施の形態1)以下、本発明の実施の形態1における抵抗器およびその製造方法について、図面を参照しながら説明する。

【0031】図1は本発明の実施の形態1における抵抗器の断面図を示したもので、この図1において、31は96%アルミナを含有してなる基板である。32aは基板31の上面の側部および側面の一部に設けられた金系の有機金属化合物を焼成してなる一对の第1の上面電極層で、この第1の上面電極層32aの稜線は丸みを有している。また前記基板31の側面上の第1の上面電極層32aの面積は、基板31の側面の面積の1/4以下である。33aは前記一对の第1の上面電極層32aに電気的に接続されるように設けられた銀系の導電粉体にガラスを含有してなる一对の第2の上面電極層である。34a是一对の第2の上面電極層33aに電気的に接続されるように設けられた酸化ルテニウムを主成分とする上面抵抗層である。35aは少なくとも前記上面抵抗層34aの上面を覆うように設けられたガラスを主成分とする黒色の上面保護層である。32bは基板31の裏面の

側部および側面の一部に設けられた金系の有機金属化合物を焼成してなる一对の第1の裏面電極層で、この第1の裏面電極層32bの稜線は丸みを有している。また前記基板31の側面上の第1の裏面電極層32bの面積は、基板31の側面の面積の1/5以下である。33bは前記一对の第1の裏面電極層32bに電気的に接続されるように設けられた銀系の導電粉体にガラスを含有してなる一对の第2の裏面電極層である。34b是一对の第2の裏面電極層33bに電気的に接続されるように設けられた酸化ルテニウムを主成分とする裏面抵抗層である。35bは少なくとも前記裏面抵抗層34bの上面を覆うように設けられたガラスを主成分とする灰色の裏面保護層である。36、37は必要に応じてはんだ付け時の信頼性等を確保するために、第1の上面電極層32a、第2の上面電極層33a、第1の裏面電極層32bおよび第2の裏面電極層33bを覆うように設けられたニッケルめっき層およびはんだめっき層である。

【0032】以上のように構成された本発明の実施の形態1における抵抗器について、以下にその製造方法を図面を参照しながら説明する。

【0033】図2(a)～(c)および図3(a)～(d)は本発明の実施の形態1における抵抗器の製造方法を示す工程図である。

【0034】まず、図2(a)に示すように、表面に後工程で短冊状および個片状に分割するために設けた複数の縦方向の上面分割溝38aおよび裏面分割溝38bと、横方向の上面分割溝39aおよび裏面分割溝39bを有する耐熱性および絶縁性に優れた96%アルミナを含有してなるシート状基板31aの横方向の上面分割溝39aを跨ぐように、横方向の上面分割溝39aおよびシート状基板31aに金系の有機金属化合物を含有してなる電極ペーストを流し込んで印刷することにより、第1の上面電極層32aを形成する。このとき、前記金系の有機金属化合物を含有してなる電極ペーストは横方向の上面分割溝39aに入り込むため、横方向の上面分割溝39aの奥まで第1の上面電極層32aを形成できる。次に、シート状基板31aの横方向の裏面分割溝39bを跨ぐように、横方向の裏面分割溝39bおよびシート状基板31aに金系の有機金属化合物を含有してなる電極ペーストを流し込んで印刷することにより、第1の裏面電極層32b(図示せず)を形成する。このとき、前記金系の有機金属化合物を含有してなる電極ペーストは横方向の裏面分割溝39bに入り込むため、横方向の裏面分割溝39bの奥まで第1の裏面電極層32bを形成できる。さらにこの第1の上面電極層32aおよび第1の裏面電極層32bを安定な膜とするために約850℃の温度で焼成を行う。そして前記縦方向の上面分割溝38aの深さと裏面分割溝38bの深さの和および横方向の上面分割溝39aの深さと裏面分割溝39bの深さの和は、製造工程での取り扱い時に割れないよう

に、一般的にシート状基板 31a の厚みの半分以下になるように形成されている。

【0035】次に、図 2 (b) に示すように、第 1 の上面電極層 32a の一部に重なるように、銀系の導電粉体とガラスを含有してなる電極ペーストを印刷して第 2 の上面電極層 33a を形成する。この後、第 1 の裏面電極層 32b (図示せず) の一部に重なるように銀系の導電粉体とガラスを含有してなる電極ペーストを印刷して第 2 の裏面電極層 33b (図示せず) を形成する。さらにこの第 2 の上面電極層 33a および第 2 の裏面電極層 33b を安定な膜とするために約 850℃ の温度で焼成を行う。

【0036】次に、図 2 (c) に示すように、第 2 の上面電極層 33a と電気的に接続されるように、酸化ルテニウムを主成分とする抵抗ペーストを印刷して上面抵抗層 34a を形成する。この後、第 2 の裏面電極層 33b (図示せず) と電気的に接続されるように、酸化ルテニウムを主成分とする抵抗ペーストを印刷して裏面抵抗層 34b (図示せず) を形成する。さらにこの上面抵抗層 34a および裏面抵抗層 34b を安定な膜とするために約 850℃ の温度で焼成を行う。

【0037】次に、図 3 (a) に示すように、上面抵抗層 34a の抵抗値を所定の値に修正するために、YAG レーザーでトリミング溝 40a を施してトリミングを行う。この後、裏面抵抗層 34b (図示せず) の抵抗値を所定の値に修正するために、YAG レーザーでトリミング溝 40b (図示せず) を施してトリミングを行う。

【0038】次に、図 3 (b) に示すように、抵抗値修正済みの上面抵抗層 34a を保護するためにガラスを主成分とするペーストを印刷して上面保護層 35a を形成する。この場合、横方向に並ぶ複数の上面抵抗層 34a を連続して覆うように縦方向の上面分割溝 38a を跨いで上面保護層 35a の印刷パターンを形成してもよい。この後、抵抗値修正済みの裏面抵抗層 34b (図示せず) を保護するためにガラスを主成分とするペーストを印刷して裏面保護層 35b を形成する。この場合、横方向に並ぶ複数の裏面抵抗層 34b を連続して覆うように縦方向の裏面分割溝 38b を跨いで裏面保護層 35b の印刷パターンを形成してもよい。さらにこの上面保護層 35a および裏面保護層 35b を安定な膜とするために約 600℃ の温度で焼成を行う。

【0039】次に、図 3 (c) に示すように、シート状基板 31a を横方向の上面分割溝 39a および裏面分割溝 39b に沿って分割することにより、短冊状基板 41 に分割する。このとき、短冊状基板 41 の長手方向の側面には、先に形成した第 1 の上面電極層 32a および第 1 の裏面電極層 32b が横方向の上面分割溝 39a の深さおよび裏面分割溝 39b の深さまで形成された状態になっている。

【0040】最後に、図 3 (d) に示すように、めっきを施すための準備工程として、短冊状基板 41 の縦方向の上面分割溝 38a および裏面分割溝 38b に沿って分割することにより、個片基板 42 に分割する。そして、露出している第 1 の上面電極層 32a、第 1 の裏面電極層 32b、第 2 の上面電極層 33a および第 2 の裏面電極層 33b のはんだ付け時の電極食われの防止およびはんだ付け時の信頼性を確保するために、電気めっきによって、中間層となるニッケルめっき層 (図示せず) と、最外層となるはんだめっき層 (図示せず) を形成して、抵抗器を製造するものである。

【0041】以上のように構成、かつ製造された本発明の実施の形態 1 における抵抗器を実装基板にはんだ付けをした。この場合、図 4 (a) の実装状態の断面図に示すように、保護層 35a または 35b を形成した面を下側にして実装すると、上面電極層あるいは裏面電極層 (図示せず) と基板 31 の側面の部分との両方ではんだ付けされるが、側面電極の形成されている面積が小さいため、フィレット 43 はわずかに形成されるのみとなる。この場合、図 4 (b) の実装状態の上面図に示すように、部品面積 44 と側面をはんだ付けするために必要となる面積 45 とを合わせた面積が実装面積 46 となるが、0.6×0.3mm サイズの角チップ抵抗器で、従来構造の製品と実装面積を比較すると、約 20% の縮小化を図ることができた (このとき、実装基板に接していない側の抵抗層は、回路に接続されないことになる。バルク実装の場合は上面抵抗層あるいは裏面抵抗層のいずれかが実装基板の回路と接続されることになる。 )。

【0042】このように、本発明の実施の形態 1 における抵抗器の構成によれば、抵抗器の側面電極の面積が小さいため、実装基板上ではんだ付けのフィレットを形成するための面積が小さくてすみ、その結果、実装面積を縮小化することができるものである。

【0043】なお、上記本発明の実施の形態 1 において、はんだめっき層 37 の高さを上面保護層 35a あるいは裏面保護層 35b と面一または上面保護層 35a あるいは裏面保護層 35b より高くすることにより、実装基板に実装した際にはんだめっき層 37 と実装基板上のランドパターンとの隙間が生じにくくなるため、上面電極層あるいは裏面電極層と実装基板上のランドパターンとの接続信頼性の向上が図れ、これにより、実装品質をさらに向上させることができるものである。

【0044】また、本発明の実施の形態 1 において、第 2 の上面電極層 33a、第 2 の裏面電極層 33b、上面保護層 35a、裏面保護層 35b を (表 1) に示す組み合わせとしたときには、(表 1) に記載の他の特性を向上させることができるものである。

【0045】

【表 1】

組み合わせ	第2の上面電極層33a 第2の裏面電極層33b	上面保護層35a 裏面保護層35b	向 上 す る 特 性
1	金系導電粉末 +ガラス (850℃焼成)	ガラス系 (600℃焼成)	イオンマイグレーションが少ないので、負荷寿命特性が向上する。
2	銀系導電粉末 +ガラス (850℃焼成)	樹脂系 (200℃硬化)	上面保護層35a、裏面保護層35bの処理温度が低いいため、抵抗値の工程変化が無く、製品の抵抗値バラツキが小さくなる。
3	金系導電粉末 +ガラス (850℃焼成)	樹脂系 (200℃硬化)	上記組み合わせ1、2の特長を合わせ持つ。

【0046】そしてまた、本発明の実施の形態1において側面電極を形成しない方が、実装面積をさらに縮小化できることは容易に考えられる。しかしながら、現状の電子機器の製造工程においては、実装後のはんだ付け検査を画像認識により行っているのが実状であり、したがって、側面電極を形成しない場合は、フィレットが全く形成されないため、画像認識による自動検査ができなくなってしまうという不具合が生ずることになる。

【0047】(実施の形態2)以下、本発明の実施の形態2における抵抗器およびその製造方法について、図面を参照しながら説明する。

【0048】図5は本発明の実施の形態2における抵抗器の断面図を示したもので、この図5において、51は96%アルミナを含有してなる基板である。52aは基板51の上面の側部および側面の一部に設けられた金系のスパッタにより形成される一対の第1の上面電極層で、この第1の上面電極層52aの稜線は丸みを有している。また前記基板51の側面上の第1の上面電極層52aの面積は、基板51の側面の面積の1/4以下である。53aは前記一対の第1の上面電極層52aに電気的に接続されるように設けられた銀系の導電粉体にガラスを含有してなる一対の第2の上面電極層である。54aは一対の第2の上面電極層53aに電気的に接続されるように設けられた酸化ルテニウムを主成分とする上面抵抗層である。55aは少なくとも前記上面抵抗層54aの上面を覆うように設けられたガラスを主成分とする上面保護層である。52bは基板51の裏面の側部および側面の一部に設けられた金系のスパッタにより形成される一対の第1の裏面電極層で、この第1の裏面電極層52bの稜線は丸みを有している。また前記基板51の側面上の第1の裏面電極層52bの面積は、基板51の側面の面積の1/5以下である。53bは前記一対の第1の裏面電極層52bに電気的に接続されるように設けられた銀系の導電粉体にガラスを含有してなる一対の第2の裏面電極層である。54bは一対の第2の裏面電極層53bに電気的に接続されるように設けられた酸化ルテニウムを主成分とする裏面抵抗層である。55bは少なくとも前記裏面抵抗層54bの上面を覆うように設けられたガラスを主成分とする裏面保護層である。56、

57は必要に応じてはんだ付け時の信頼性等を確保するために、第1の上面電極層52a、第2の上面電極層53a、第1の裏面電極層52bおよび第2の裏面電極層53bを覆うように設けられたニッケルめっき層およびはんだめっき層である。

【0049】以上のように構成された本発明の実施の形態2における抵抗器について、以下にその製造方法を図面を参照しながら説明する。

【0050】図6(a)～(c)および図7(a)～(d)は本発明の実施の形態2における抵抗器の製造方法を示す工程図である。

【0051】まず、図6(a)に示すように、表面に後工程で短冊状および個片状に分割するために設けた複数の縦方向の上面分割溝58aおよび裏面分割溝58bと、横方向の上面分割溝59aおよび裏面分割溝59bを有する耐熱性および絶縁性に優れた96%アルミナを含有してなるシート状基板51aの上面全体にスパッタ工法により金を着膜し、さらにLSI等で一般的に行われているフォトリソ法により、所望の電極パターンを有する第1の上面電極層52aを形成した。この後、シート状基板51aの裏面全体にスパッタ工法により金を着膜し、さらにLSI等で一般的に行われているフォトリソ法により、所望の電極パターンを有する第1の裏面電極層52bを形成した。そしてこの後、前記第1の上面電極層52aおよび第1の裏面電極層52bを安定な膜とするために、約300～400℃の温度で熱処理を行う。このとき、前記第1の上面電極層52aおよび第1の裏面電極層52bは横方向の上面分割溝59aおよび裏面分割溝59bに入り込むため、横方向の上面分割溝59aおよび裏面分割溝59bの奥まで第1の上面電極層52aおよび第1の裏面電極層52bを形成できる。そして前記縦方向の上面分割溝58aの深さと裏面分割溝58bの深さの和および横方向の上面分割溝59aの深さと裏面分割溝59bの深さの和は、製造工程での取り扱い時に割れないように、一般的にシート状基板51aの厚みの半分以下になるように形成されている。

【0052】次に、図6(b)に示すように、第1の上面電極層52aと電気的に接続されるように、銀系の導電粉体とガラスを含有してなる電極ペーストを印刷して

第2の上面電極層53aを形成する。この後、第1の裏面電極層52b（図示せず）と電氣的に接続されるように、銀系の導電粉体とガラスを含有してなる電極ペーストを印刷して第2の裏面電極層53b（図示せず）を形成する。さらにこの第2の上面電極層53aおよび第2の裏面電極層53bを安定な膜とするために約850℃の温度で焼成を行う。

【0053】次に、図6（c）に示すように、第2の上面電極層53aと電氣的に接続されるように、酸化ルテニウムを主成分とする抵抗ペーストを印刷して上面抵抗層54aを形成する。この後、第2の裏面電極層53bと電氣的に接続されるように、酸化ルテニウムを主成分とする抵抗ペーストを印刷して裏面抵抗層54bを形成する。さらにこの上面抵抗層54aおよび裏面抵抗層54bを安定な膜とするために約850℃の温度で焼成を行う。

【0054】次に、図7（a）に示すように、上面抵抗層54aの抵抗値を所定の値に修正するために、YAGレーザーでトリミング溝60aを施してトリミングを行う。この後、裏面抵抗層54b（図示せず）の抵抗値を所定の値に修正するために、YAGレーザーでトリミング溝60b（図示せず）を施してトリミングを行う。

【0055】次に、図7（b）に示すように、抵抗値修正済みの上面抵抗層54aを保護するためにガラスを主成分とするペーストを印刷して上面保護層55aを形成する。この場合、横方向に並ぶ複数の上面抵抗層54aを連続して覆うように縦方向の上面分割溝58aを跨いで上面保護層55aの印刷パターンを形成してもよい。この後、抵抗値修正済みの裏面抵抗層54b（図示せず）を保護するためにガラスを主成分とするペーストを印刷して裏面保護層55b（図示せず）を形成する。この場合、横方向に並ぶ複数の裏面抵抗層54bを連続して覆うように縦方向の裏面分割溝58bを跨いで裏面保護層55bの印刷パターンを形成してもよい。さらにこ

の上面保護層55aおよび裏面保護層55bを安定な膜とするために約600℃の温度で焼成を行う。

【0056】次に、図7（c）に示すように、シート状基板51aを横方向の上面分割溝59aおよび裏面分割溝59bに沿って分割することにより、短冊状基板61に分割する。このとき、短冊状基板61の長手方向の側面には、先に形成した第1の上面電極層52aおよび第1の裏面電極層52bが横方向の上面分割溝59aの深さおよび裏面分割溝59bの深さまで形成された状態になっている。

【0057】最後に、図7（d）に示すように、めっきを施すための準備工程として、短冊状基板61の縦方向の上面分割溝58aおよび裏面分割溝58bに沿って分割することにより、個片基板62に分割する。そして、露出している第1の上面電極層52a、第2の上面電極層53a、第1の裏面電極層52a、第2の裏面電極層53bのはんだ付け時の電極食われの防止およびはんだ付け時の信頼性を確保するために、電気めっきによって、中間層となるニッケルめっき層（図示せず）と、最外層となるはんだめっき層（図示せず）を形成して、抵抗器を製造するものである。

【0058】以上のように構成、かつ製造された本発明の実施の形態2における抵抗器を実装基板にはんだ付けをした場合の効果については、前述した本発明の実施の形態1と同じであるため、説明を省略する。

【0059】また、本発明の実施の形態2において、第1の上面電極層52a、第2の上面電極層53a、上面抵抗層54a、上面保護層55a、第1の裏面電極層52b、第2の裏面電極層53b、裏面抵抗層54b、裏面保護層55bを（表2）に示す組み合わせとしたときには、（表2）に記載の他の特性を向上させることができるものである。

【0060】

【表2】

組み合わせ	第1の上面電極層 5 2 a 第1の裏面電極層 5 2 b	第2の上面電極層 5 3 a 第2の裏面電極層 5 3 b	上面抵抗層 5 4 a 裏面抵抗層 5 4 b	上面保護層 5 5 a 裏面保護層 5 5 b	向上する特性
4	金系スパッタ (300~400℃ 熱処理)	金系導電粉末 +ガラス (850℃焼成)	酸化ルテニウム系 (850℃焼成)	ガラス系 (600℃焼成)	イオンマイグレーションが少ないので、 負荷寿命特性が向上する。
5	金系スパッタ (300~400℃ 熱処理)	銀系導電粉末 +ガラス (850℃焼成)	酸化ルテニウム系 (850℃焼成)	樹脂系 (200℃硬化)	上面保護層5 5 a、 裏面保護層5 5 bの 処理温度が低いため、 抵抗値の工程変化が無く、 製品の抵抗値バラツキが 小さくなる。
6	金系スパッタ (300~400℃ 熱処理)	金系導電粉末 +ガラス (850℃焼成)	酸化ルテニウム系 (850℃焼成)	樹脂系 (200℃硬化)	上記組み合わせ4と 5の特長を合わせ持つ。
7	ニッケル系 スパッタ (300~400℃ 熱処理)	銀系導電粉末 +樹脂 (200℃硬化)	カーボン樹脂系 (200℃硬化)	樹脂系 (200℃硬化)	上記組み合わせ5の特長 を持ち、さらに上記組 み合わせ6に比べて第1 の上面電極層5 2 aが 卑金属となるため、安 価に製造することが可能 となる。
8	ニッケル系 スパッタ (300~400℃ 熱処理)	ニッケル系導電粉末 +樹脂 (200℃硬化)	カーボン樹脂系 (200℃硬化)	樹脂系 (200℃硬化)	上記組み合わせ7の特長 を持ち、さらに上記組 み合わせ7に比べて第2 の上面電極層5 3 aが 卑金属となるため、安 価に製造することが可能 となる。

## 【0061】

【発明の効果】以上のように本発明の抵抗器は、基板と、この基板の上面の側部および側面の一部に設けられた一対の第1の上面電極層と、この第1の上面電極層に電気的に接続されるように設けられた一対の第2の上面電極層と、この第2の上面電極層に電気的に接続されるように設けられた上面抵抗層と、少なくとも前記上面抵抗層の上面を覆うように設けられた上面保護層と、前記基板の裏面の側部および側面の一部に設けられた一対の第1の裏面電極層と、この第1の裏面電極層に電気的に接続されるように設けられた一対の第2の裏面電極層と、この第2の裏面電極層に電気的に接続されるように設けられた裏面抵抗層と、少なくとも前記裏面抵抗層の上面を覆うように設けられた裏面保護層とを備えたもので、この構成によれば、実装基板に実装した際にはんだフィレットの形成が極めて少なくなる構造としているため、実装面積に占めるはんだ付け面積を低減でき、しかも基板の上面および裏面にそれぞれ電極層、抵抗層、保護層を設けているため、バルク一括実装時において、上面向きあるいは裏面向きのどちらに実装された場合でも高密度実装が実現できるというすぐれた効果を有するも

のである。

## 【図面の簡単な説明】

【図1】本発明の実施の形態1における抵抗器の断面図

【図2】(a)~(c) 同抵抗器の製造方法を示す工程図

【図3】(a)~(d) 同抵抗器の製造方法を示す工程図

【図4】(a) 同抵抗器を実装基板に実装した状態の断面図

(b) 同抵抗器を実装基板に実装した状態の上面図

【図5】本発明の実施の形態2における抵抗器の断面図

【図6】(a)~(c) 同抵抗器の製造方法を示す工程図

【図7】(a)~(d) 同抵抗器の製造方法を示す工程図

【図8】従来の抵抗器の断面図

【図9】(a)~(f) 同抵抗器の製造方法を示す工程図

【図10】(a) 同抵抗器を実装基板に実装した状態の断面図

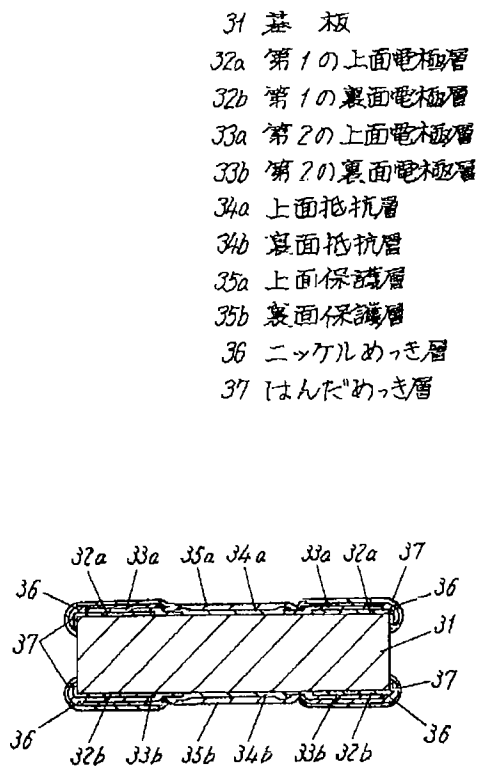
(b) 同抵抗器を実装基板に実装した状態の上面図



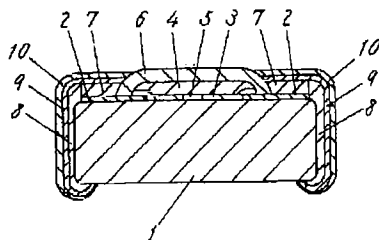
## 【符号の説明】

- 31, 51 基板  
 31a, 51a シート状基板  
 32a, 52a 第1の上面電極層  
 32b, 52b 第1の裏面電極層  
 33a, 53a 第2の上面電極層  
 33b, 53b 第2の裏面電極層  
 34a, 54a 上面抵抗層  
 34b, 54b 裏面抵抗層  
 35a, 55a 上面保護層  
 35b, 55b 裏面保護層  
 36, 56 ニッケルめっき層  
 37, 57 はんだめっき層  
 38a, 58a 縦方向の上面分割溝  
 38b, 58b 縦方向の裏面分割溝  
 39a, 59a 横方向の上面分割溝  
 39b, 59b 横方向の裏面分割溝  
 41, 61 短冊状基板  
 42, 62 個片基板

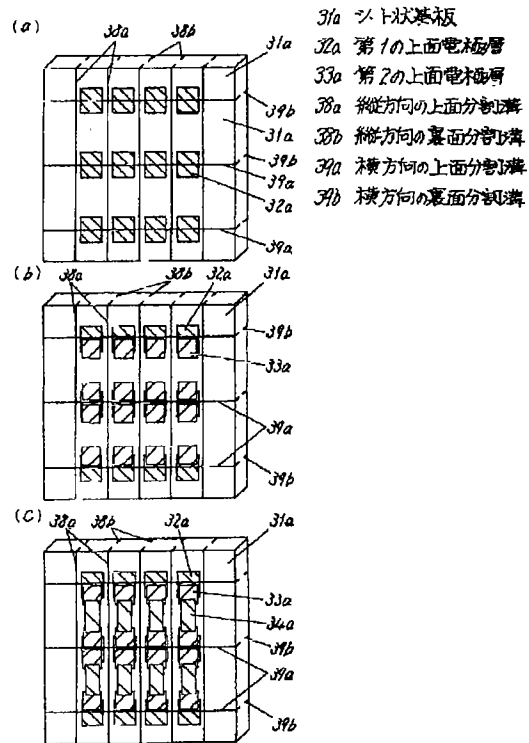
【図1】



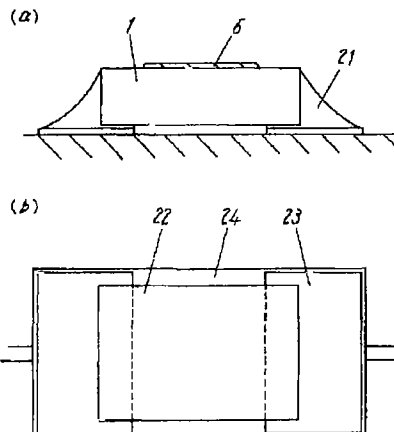
【図8】



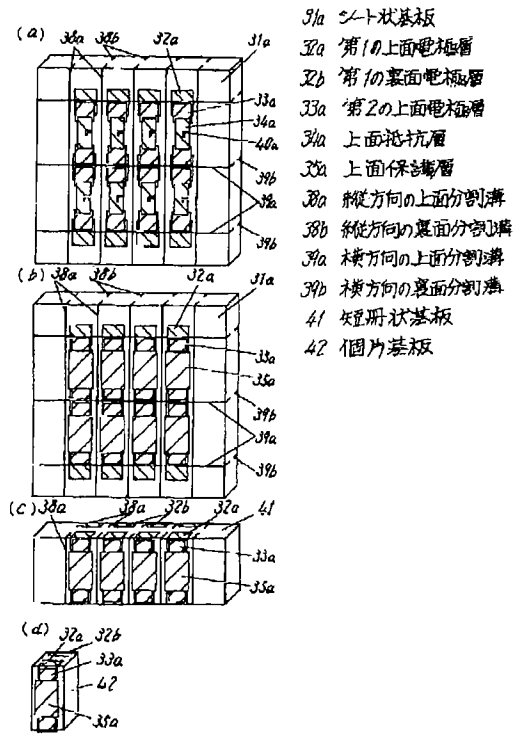
【図2】



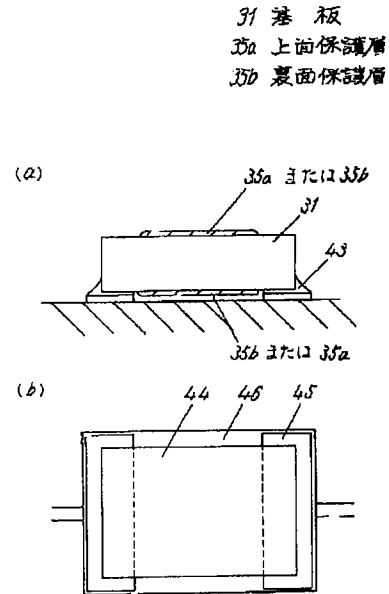
【図10】



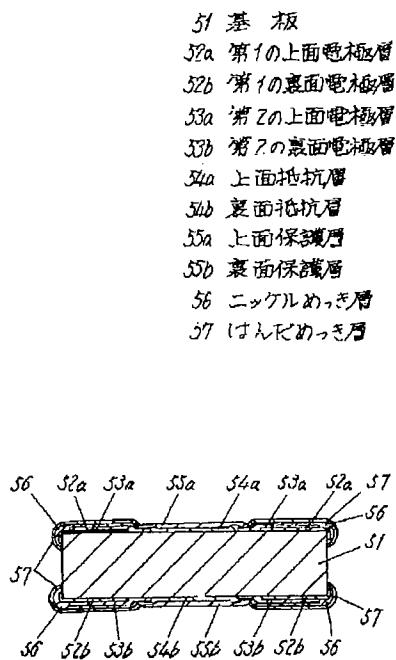
【図3】



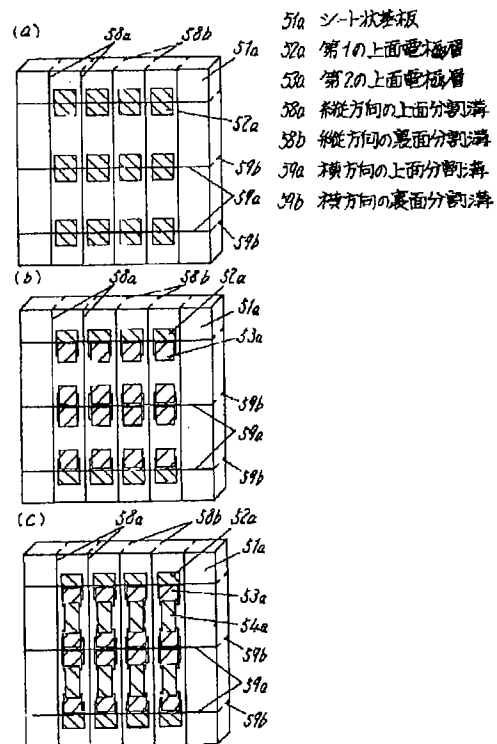
【図4】



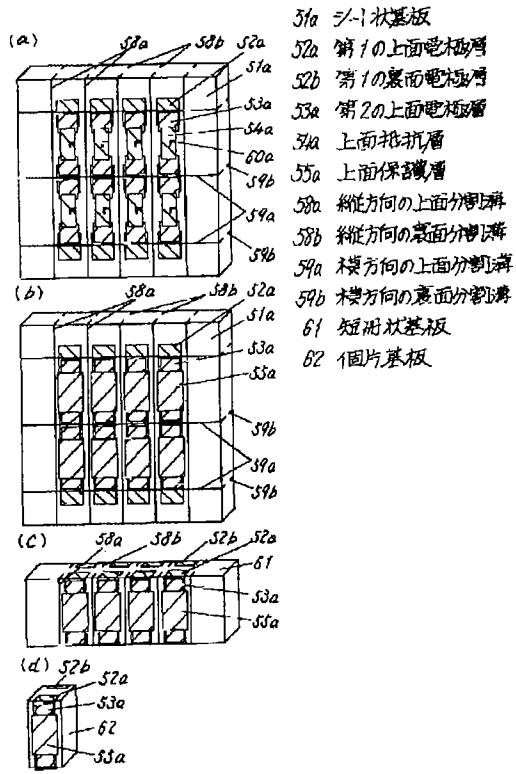
【図5】



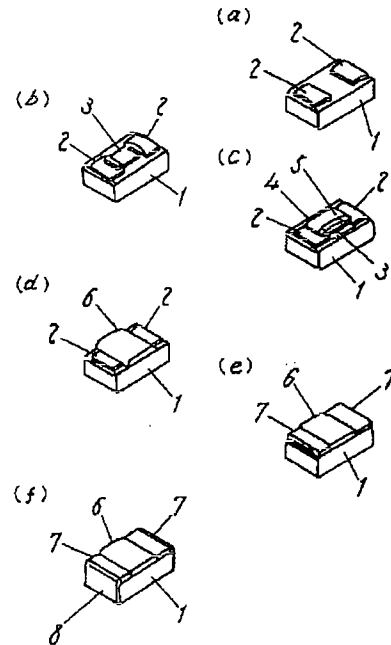
【図6】



【図7】



【図9】



フロントページの続き

Fターム(参考) 5E032 BA07 BB01 BB13 CA02 CC03  
 CC06 CC14 CC16 CC18 TA14  
 TB02  
 5E033 AA27 BB02 BC08 BD01 BE01  
 BF05 BG02 BG03 BH02